مدرسان شریف

فصل اول

«مفاهیم فن‌آوری مدارهای مجتمع»

مقدمه

در نخستین فصل کتاب به بحث و بررسی مفهوم مدارهای مجتمع و فن‌آوری‌های رایج در این زمینه خواهیم پرداخت. در بخش اول **واژه VLSI** را تعریف نموده، مشخصات مهم مربوط به آن را در مقایسه با دیگر واژه‌های موجود برای بیان **مقیاس طراحی مدارهای مجتمع**، همچون LSI, MSI, SSI و ... نام می‌بریم. در بخش دوم، **روند رشد فن‌آوری ساخت مدارهای مجتمع** با تکیه بر فاکتورهای متفاوتی همچون **ابعاد ترانزیستورها، تعداد ترانزیستورها، سرعت کلاک پردازنده، ولتاژ منبع تغذیه، تعداد لایه‌های سیم بندی، هزینه ویفر و میانگین قیمت ترانزیستورها** بررسی خواهد شد. بخش سوم به بررسی **فازهای مختلف طراحی مدارهای VLSI** و جایگاه درس VLSI در میان این فازها می‌پردازد. در بخش انتهایی نیز فاکتورهای مربوط به **هزینه مدارهای مجتمع** و چگونگی محاسبه هزینه ساخت تشریح خواهد شد.

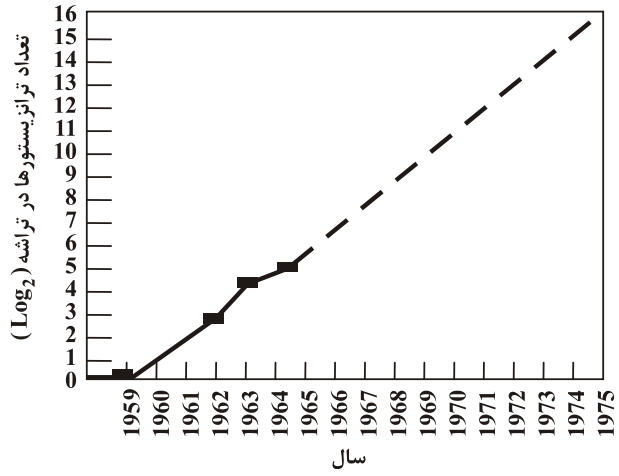
مفهوم VLSI و سطوح مجتمع سازی تراشه‌ها

واژه VLSI (Very Large Scale Integration) در دنیای طراحی مدارهای مجتمع دیجیتال به مجتمع‌سازی در مقیاس بسیار وسیع اتلاق می‌شود. مجتمع‌سازی به معنی **جای دادن قطعات** و المان‌های یک تراشه در بستری با اندازه مشخص و محدود است، به نحوی که به شکل بهینه از فضاها و امکانات موجود استفاده و **سیم‌بندی قطعات** نیز با رعایت ملاحظاتی از قبیل انتخاب کوتاهترین مسیرها با کمترین هزینه سیم بندی، انجام شود. با توجه به توضیحات فوق‌الذکر، مجتمع‌سازی تراشه‌های دیجیتال مبتنی بر دو **اصل جای دادن قطعات** (Placement) و **سیم بندی آنها** (Routing) می‌باشد. مدارهای مجتمع یا تراشه‌های الکترونیکی تقریباً در اکثر لوازم و دستگاههای محیط منزل یا محل کار یافت می‌شوند. دوربین‌های دیجیتال، تلویزیون‌ها، گوشی‌های تلفن همراه، کامپیوترهای خانگی، لپ تاپ‌ها، سیستم‌های کنترلی کارخانجات، اسباب بازی کودکان، سیستم سوخت‌رسانی خودروها، دستگاه‌های پزشکی، سیستم‌های ردیاب نظامی و... همه و همه با بهره‌گیری از تراشه‌های الکترونیکی مشغول به کار هستند.

مجتمع‌سازی و فشرده کردن المانهای تراشه به منظور کوچک‌سازی عناصر و افزایش بهره‌وری در سیستم‌ها همیشه مدنظر طراحان مدارات مجتمع بوده است. واژه VLSI (مجتمع‌سازی در مقیاس وسیع) نیز به همین موضوع اشاره دارد. این واژه به معنی افزایش میزان مجتمع‌سازی المان‌ها و قطعات درون تراشه‌های دیجیتال، با توجه به پارامترهای ارزیابی کارایی در آنهاست.

فشرده‌سازی بیش از حد اجزای یک تراشه، نمی‌تواند با چشم‌پوشی از دیگر پارامترهای اساسی و اثرات مخرب احتمالی در طراحی صورت گیرد. از جمله پارامترهایی که در این مسیر تحت تأثیر مجتمع‌سازی و فشرده‌سازی المان‌ها قرار می‌گیرند می‌توان به **افزایش میزان شنود (القای خازنی Crosstalk)، افزایش خطا، کاهش سرعت انتقال و پردازش اطلاعات و افزایش خرابی در تراشه** اشاره نمود. این اثرات مخرب همواره مانعی بر سر راه فشرده‌سازی محسوب می‌گردند زیرا این عمل تا به آنجا مطلوب است که کارایی را افزایش دهد نه آنکه باعث کاهش بازدهی در عملکرد گردد.

آقای گوردن مور (Gordon Moore) طی مطالعاتی در سال 1965 با بررسی میزان فشرده‌سازی قطعات و پیچیدگی شبکه سیم‌بندی در آنها، نظریه معروف خود را بدین شکل ارائه نمود که **تعداد ترانزیستورهای جای گرفته روی یک سطح ثابت هر 1.5 تا 2 سال تقریباً 2 برابر می‌شود**. او این روند را کشف نمود و ادعا کرد چنین پیشرفتی به صورت دائم رخ خواهد داد. با وجود اینکه این نظریه تا سال‌های اخیر همچنان ثبات خود را حفظ کرده است، مطالعات نشان می‌دهد ادامه این روند به صورت گذشته دیگر مقدور نیست. شکل ۱ قانون مور را نشان می‌دهد.



شکل ۱ : نمایش قانون گوردن مور: رشد تعداد ترانزیستورهای یک تراشه برحسب سال

با توجه به توضیحات فوق می‌توان دریافت که با رعایت نکات مهم در بررسی کارایی تراشه‌های دیجیتال، می‌توان میزان مجتمع‌سازی قطعات را به شکل نمایی در تراشه‌ها دنبال نمود.

در حالت کلی اگر تعداد ترانزیستورهای یک تراشه در سال 1965 برابر با k باشد، در سال year این تعداد مطابق قانون مور به صورت زیر محاسبه می‌شود:

(تعداد ترانزیستورهای یک تراشه در سال year) $= k \cdot 2^{(\frac{year-1965}{2})}$

مثال ۱: طبق قانون Moore تعداد ترانزیستورهای یک پردازنده پس از گذشت چند سال، n برابر می‌شود؟

۱) $2\log_2(n)$ ۲) $\log_2(\frac{n}{2})$ ۳) $(2\log_2{}^{n})+1965$ ۴) $\log_2^{\frac{n+1965}{2}}$

☑ **پاسخ:** گزینه «۳» در این سؤال، اختلاف سال نسبت به مبدأ قانون مور، یعنی سال 1965 مد نظر است بنابراین در رابطه یک توان به شکل $(\frac{Y-1965}{2})$ می‌باشد. برای پاسخ به این سؤال باید ضریب k (یعنی $2^{\frac{year-1965}{2}}$) در رابطه قانون مور برابر با n فرض شود و فاکتور $(Y-1965)$ به دست آید:

$$2^{(\frac{Y-1965}{2})} = n \Rightarrow \frac{Y-1965}{2} = \log_2(n) \Rightarrow Y-1965 = 2\log_2^{(n)} \Rightarrow Y = (2\log_2^{(n)})+1965$$

دقت شود که در سؤال n برابر شدن تعداد ترانزیستور پس از گذشت چند سال را خواسته است و در نتیجه جواب Y-1965 می‌باشد. (در نتیجه گزینه ۳ درست نیست)

مفهوم VLSI در سال 1978 ارائه گردید اما قبل از آن دنیای تراشه‌های دیجیتال با مفاهیمی همچون SSI (Small Scale Integration)، MSI (Medium Scale Integration) و LSI (Large Scale Integration) آشنا بود. هر یک از این اصطلاحات مربوط به یک بازه زمانی خاص است. محدودهٔ تعداد ترانزیستورهای درون یک تراشه در هر یک از تکنولوژی‌های فوق تعیین گردیده است.

مثال۲: اگر تعداد ترانزیستورهای درون هر تراشه در سال 1968 به طور متوسط 2^8 عدد باشد، این تعداد در سال 1998 چه میزان افزایش خواهد یافت؟

۱) $2^8(2^{15}-1)$ ۲) $2^{15}(2^8-1)$ ۳) $2^8(2^{30}-1)$ ۴) $2^{30}(2^8-1)$

☑ **پاسخ:** گزینه «۱» با توجه به قانون مور، ابتدا رابطه مربوط به تعداد ترانزیستورهای هر تراشه را به طور متوسط برای دو سال ذکر شده می نویسیم. سپس با اطلاع از تعداد ترانزیستورهای تراشه در سال 1968 میزان افزایش این تعداد در سال 1998 را به طور متوسط به دست می‌آوریم:

$$n_{1968} = k.2^{(\frac{1968-1965}{2})} = k.2^{\frac{3}{2}} \qquad n_{1998} = k.2^{(\frac{1998-1965}{2})} = k.2^{\frac{33}{2}}$$

ـ در روابط بالا منظور از k تعداد ترانزیستورهای درون هر تراشه در سال 1965 می‌باشد. زیرا معیار ارزیابی قانون مور، سال 1965 است. با تقسیم روابط فوق به یکدیگر می‌توان n_{1998} را یافت:

$$\frac{n_{1998}}{n_{1968}} = \frac{k.2^{\frac{33}{2}}}{k.2^{\frac{3}{2}}} = 2^{15} \longrightarrow \frac{n_{1998}}{2^8} = 2^{15} \longrightarrow n_{1998} = 2^{23}$$

حال با محاسبه اختلاف تعداد ترانزیستورها در سال 1998 نسبت به سال 1968 میزان افزایش تعداد ترانزیستورها به دست می‌آید:

$$n_{1998} - n_{1968} = 2^{23} - 2^8 = \boxed{2^8(2^{15}-1)}$$

پس از ارائه مفهوم VLSI، چگالی یا تعداد ترانزیستورها در تراشه‌های الکترونیکی همچنان رو به افزایش است. به عنوان نمونه، ورود واژه‌هایی همچون ULSI (Ultra Large Scale Integration) و GSI (Giant Scale Integration) به بازار تراشه‌های الکترونیکی شاهدی بر این موضوع می‌باشد. شکل زیر به معرفی سطوح مجتمع‌سازی تراشه‌ها از سال 1965 تاکنون می‌پردازد.

سطح مجتمع‌سازی	واژه معرف	تاریخ	تعداد قطعات درون یک تراشه
توابع پیچیده چند ضابطه‌ای	ـــ	1965	5–10
مجتمع‌سازی در مقیاس کوچک	SSI	1966	10 – 40
مجتمع‌سازی در مقیاس متوسط	MSI	1967	40 – 200
مجتمع‌سازی در مقیاس بزرگ	LSI	1972	200 – 2000
مجتمع‌سازی در مقیاس وسیع	VLSI	1978	2000 – 20000
مجتمع‌سازی در مقیاس بسیار وسیع	ULSI	1989	20000 – 200000
مجتمع‌سازی در مقیاس عظیم	GSI	1990	بیش از 200000

شکل ۲ : نحوه پیشرفت سطوح مجتمع سازی تراشه‌ها

با توجه به پیشرفت سریع تکنولوژی در دهه هشتاد و افزایش نمایی تعداد ترانزیستورها در تراشه‌های دیجیتال، طراحان در انتخاب نام برای سطوح مجتمع‌سازی با مشکل مواجه شدند. همین امر باعث شد تا عنوان VLSI همچنان کاربرد خود را در معرفی مدارات مجتمع پیشرفته حفظ نماید و واژه‌های پس از آن رواج چندانی در میان طراحان مدارات مجتمع پیدا نکنند. بنابراین امروزه به جای کلماتی از قبیل ULSI و GSI نیز از واژه VLSI استفاده می‌شود.

در پایان یادآوری می‌شود که دلایل مجتمع سازی چندین ماژول منطقی روی یک تراشه می‌تواند در موارد زیر خلاصه شود:

الف: کاهش سطح تراشه ب: کاهش توان مصرفی تراشه ج: کاهش نیازمندی به آزمون تراشه متعدد د: افزایش میزان قابلیت اطمینان تراشه هـ: افزایش سرعت تراشه و: کاهش هزینه ساخت تراشه

مثال۳: کدام‌یک از عوامل زیر تحت تأثیر کاهش اندازه خازن‌های ناخواسته درون تراشه رخ می‌دهد؟

۱) کاهش سرعت ۲) افزایش سرعت ۳) کاهش سطح تراشه ۴) افزایش سطح تراشه

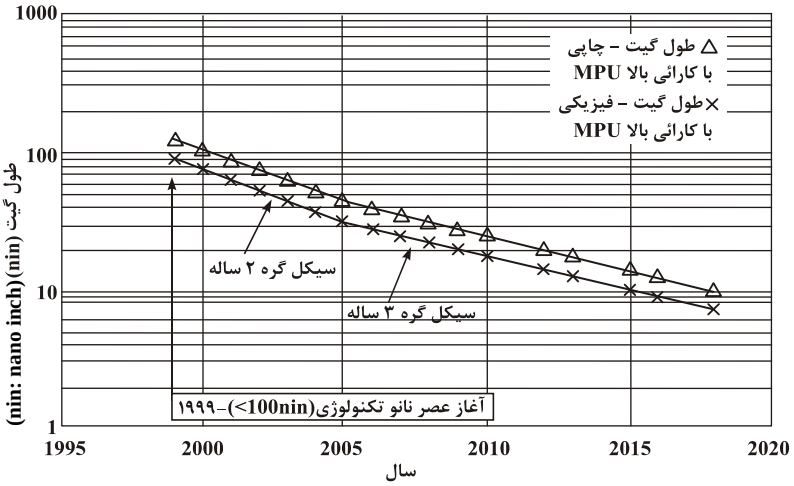
☑ **پاسخ:** گزینه «۲» کاهش ظرفیت خازنهای درون تراشه باعث کاهش تأخیر شارژ و دشارژ آنها در تراشه شده و سرعت آن را افزایش می‌دهد.

روند پیشرفت فن‌آوری ساخت مدارات مجتمع

در این قسمت، می‌خواهیم به بررسی روند رشد و تغییر فاکتورهای متفاوت در فن‌آوری ساخت تراشه‌ها با رویکرد زمانی بپردازیم. فاکتورهای مورد بررسی عبارتند از:
۱ـ اندازه نما یا طول گیت (ابعاد ترانزیستورهای درون تراشه)۲ـ چگالی یا تراکم گیت (تعداد ترانزیستورها در واحد سطح)۳ـ کلاک پردازنده (سرعت یا فرکانس پردازش اطلاعات در تراشه) ۴ـ ولتاژ منبع تغذیه (ولتاژ لازم جهت فعالیت صحیح تراشه) ۵ـ توان مصرفی (میزان استفاده غیر مفید از ولتاژ در تراشه) ۶ـ لایه‌های سیم بندی (تعداد لایه‌های مفروض در ساخت تراشه)۷ـ هزینه ساخت ترانزیستورها (هزینه لازم جهت ساخت تراشه)۸ـ قیمت متوسط ترانزیستورها (میانگین نرخ ترانزیستورها در تراشه)

اندازه نما یا طول گیت

برای بررسی عوامل فوق در روند ساخت تراشه‌ها در سالهای اخیر به نمودارهایی که تاریخچه ساخت و رشد تراشه‌ها در جهان را نشان می‌دهند، نگاهی می‌اندازیم. به عنوان اولین بررسی، شکل زیر **روند تغییر طول گیت** را در تراشه‌های دیجیتال از سال 1995 تاکنون به تصویر کشیده و تخمین ادامه این حرکت را تا سال 2020 نشان می‌دهد.



شکل ۳ : روند کاهش طول گیت در تراشه‌های دیجیتال

در شکل قبل دو منحنی با اختلاف اندکی از یکدیگر دیده می‌شوند. منحنی بالاتر مربوط به طول گیت تراشه‌ها در هنگام طراحی (طول مطلوب) و منحنی پایین‌تر مربوط به طول گیت تراشه‌ها پس از ساخت (طول گیت واقعی) می‌باشد.

معمولاً با ساخت یک تراشه و چینش المانهای درون آن بنا به دلایلی که در فصل‌های بعد خواهیم دید، اندازه به دست آمده برای ابعاد تراشه کمتر از اندازه اولیه می‌باشد.

نکته دیگری که در شکل قبل دیده می‌شود، رسم نمودار به شرط بالا بودن کارایی MPU (Micro Processor Unit) است. مفهوم MPU به واحد پردازشگری اتلاق می‌شود که درون تراشه مورد مطالعه قرار گرفته و بررسی فاکتورهای ساخت تراشه با فرض عدم تأثیرگذاری منفی روی عملکرد این واحد انجام شده است. بدیهی است که **هر تغییر یا پیشرفتی در روند ساخت تراشه نباید به قیمت از دست رفتن دقت یا سرعت پردازش تراشه انجام گیرد.**

همان‌طور که در نمودار نیز دیده می‌شود، **طول گیت به ازای هر دوره دو یا سه ساله حدود 70% کاهش می‌یابد**. طول گیت در تراشه‌ها تا اوایل دهه 90 به صورت μm بیان می‌شد اما امروزه به دلیل کاهش شدید این اندازه، واحد ارزیابی آن به صورت nm ذکر می‌شود. به عنوان نمونه این نمودار پیش‌بینی می‌کند که ابعاد ترانزیستورهای درون تراشه تا سال 2020 به حدود کمتر از $10nm$ برسد که البته با ظهور تکنولوژی نانو از سال 99 میلادی، دستیابی به این میزان کاهش طول گیت غیرممکن نیست.

مثال۴: اگر طول گیت تراشه‌ها در سال 2000 میلادی به طور متوسط 100nm فرض شود و این اندازه در سال 2005 به میزان 40% کاهش یابد، کدام یک از گزینه‌های زیر معقول به نظر می‌رسد؟

۱) طول گیت در سال 2007 تقریباً $30nm$ می‌باشد.

۲) طول گیت در سال 2008 تقریباً $\frac{1}{4}$ طول گیت در سال 2000 می‌باشد.

۳) طول گیت در سال 2003 تقریباً $65nm$ می‌باشد.

۴) طول گیت در سال 2009 تقریباً $\frac{1}{3}$ طول گیت در سال 2002 می‌باشد.

☑ **پاسخ:** گزینه «۴» با توجه به معلومات مسئله و آگاهی از روند خطی تغییرات طول گیت طی سال‌های مختلف، الگوی تغییر طول گیت تراشه‌های دیجیتال از سال 2000 تا 2009 به صورت زیر قابل تخمین است. دقت به این نکته الزامی است که طبق صورت سؤال، در سال 2005 طول گیت به میزان 40% نسبت به سال 2000 کاهش پیدا کرده است:

$$\begin{cases} L = \text{طول گیت} \\ Y = \text{سال میلادی} \end{cases} \longrightarrow \begin{cases} L_1 = 100nm \\ Y_1 = 2000 \end{cases} \longrightarrow \begin{cases} L_2 = L_1 - \frac{40}{100} L_1 = 60nm \\ Y_2 = 2005 \end{cases}$$

با توجه به معلومات فوق می‌توان رابطه L_iها و Y_iها را به صورت زیر به دست آورد:

$$Y - Y_1 = \frac{Y_2 - Y_1}{L_2 - L_1}(L - L_1) \longrightarrow Y - 2000 = \frac{2005 - 2000}{60 - 100}(L - 100) \longrightarrow$$

$$Y - 2000 = -\frac{5}{40}(L - 100) \longrightarrow \boxed{Y = \frac{100 - L}{8} + 2000}$$

Y	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009
L	100	92	84	76	68	60	52	44	36	28

حال به بررسی گزینه‌ها می‌پردازیم:

گزینه ۱ طول گیت در سال ۲۰۰۷ طبق فرمول برابر است با:

$$Y = \frac{۱۰۰ - L}{۸} + ۲۰۰۰ \rightarrow ۲۰۰۷ = \frac{۱۰۰ - L}{۸} + ۲۰۰۰ \rightarrow ۵۶ = ۱۰۰ - L \Rightarrow L = ۴۴nm$$

در نتیجه گزینه ۱ غلط می‌باشد.

گزینه ۲ طول گیت در سال ۲۰۰۸ برابر ۳۶nm و در سال ۲۰۰۰ برابر ۱۰۰nm می‌باشد، در نتیجه طول گیت در سال ۲۰۰۸ حدود $\frac{۱}{۳}$ سال ۲۰۰۰ می‌باشد، بنابراین گزینه ۲ غلط است.

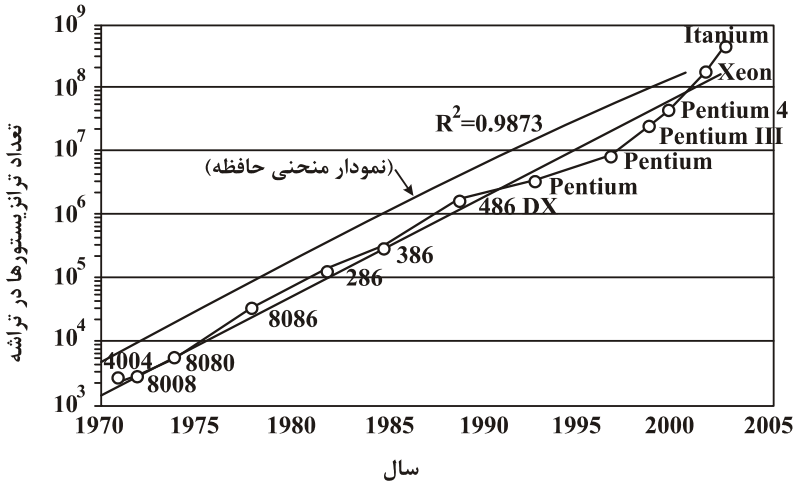
گزینه ۳ طول گیت در سال ۲۰۰۳ برابر ۷۶nm می‌باشد، بنابراین گزینه ۳ غلط است.

چگالی یا تراکم گیت

در شکل زیر، روند **افزایش تعداد ترانزیستورها** در پردازنده‌های اینتل نشان داده شده است. این روند چیزی شبیه قانون مور در ارتباط با پردازنده‌هاست. نکته جالب توجه در این نمودار، تغییر سرعت تحولات در این زمینه از سال 1990 (آغاز دهه 90) به بعد می‌باشد. همان‌طور که در شکل دیده می‌شود، روند افزایش تعداد ترانزیستورها در تراشه‌های اینتل از ارائه اولین پردازنده، یعنی پردازنده 4 بیتی 4004 تا سال 1990 تقریباً به صورت خطی و پس از آن تقریباً به صورت نمایی بوده است.

نمودار بالاتر نحوه رشد حافظه را در سال‌های اخیر نشان می‌دهد. با توجه به ساختار منظم حافظه و به هدر رفتن فضای کم‌تری از تراشه برای سیم‌بندی و مسیریابی میان ماژول‌های مختلف، همواره تعداد ترانزیستورها در حافظه بیشتر از تعداد آن‌ها در تراشه‌های دیگر می‌باشد.

نکته دیگر این که **هم‌روند با پردازنده‌ها، فن‌آوری ساخت دیگر قطعات الکترونیکی نظیر حافظه‌ها، کنترلرها، تجهیزات انتقال اطلاعات و..... نیز طبق قانون مور افزایش یافته است** و این حرکت همگام، باعث سازگاری تراشه‌های پیشرفته امروزی با یکدیگر شده است.



شکل ۴ : روند افزایش تعداد ترانزیستورها در پردازنده‌های اینتل و حافظه‌ها

مثال۵: اگر رابطه موجود میان سال ارائه پردازنده‌های شرکت اینتل (پارامتر y) و تعداد ترانزیستورهای موجود در آنها (پارامتر n) به صورت $y = \frac{n-10^6}{66000}+1990$ باشد، کدام‌یک از پردازنده‌های زیر رشد بیشتری از جهت تعداد ترانزیستورها داشته است؟

۱) پردازنده‌ی Xeon با 4×10^6 ترانزیستور در سال 2000
۲) پردازنده‌ی Itanium با 6×10^6 ترانزیستور در سال 2003
۳) پردازنده‌ی 8086 با 5×10^5 ترانزیستور در سال 1978
۴) پردازنده‌ی 386 با 6×10^5 ترانزیستور در سال 1985

☑ **پاسخ:** گزینه «۲» برای پاسخ به این سؤال با جایگذاری y در رابطه داده شده، n محاسبه و با 'n ذکر شده در گزینه مقایسه می‌شود. پاسخ صحیح مربوط به حالتی است که نسبت $\frac{n'}{n}$ در گزینه موردنظر بزرگتر باشد:

$$y=\frac{n-10^6}{66000}+1990 \longrightarrow \frac{n-10^6}{66000}=y-1990 \longrightarrow n-10^6=66000(y-1990) \longrightarrow \boxed{n=66000(y-1990)+10^6}$$

ـ بررسی میزان پیشرفت در گزینه ۱:

$$y_1=2000 \rightarrow n_1=66000(2000-1990)+10^6=1.66\times10^6 \rightarrow \frac{n_1'}{n_1}=\frac{4\times10^6}{1.66\times10^6}=\boxed{2.4}$$

ـ بررسی میزان پیشرفت در گزینه ۲:

$$y_2=2003 \rightarrow n_2=66000(2003-1990)+10^6=1.858\times10^6 \rightarrow \frac{n_2'}{n_2}=\frac{6\times10^6}{1.858\times10^6}=\boxed{3.2}$$

ـ بررسی میزان پیشرفت در گزینه ۳:

$$y_3=1978 \rightarrow n_3=66000(1978-1990)+10^6=0.208\times10^6 \rightarrow \frac{n_3'}{n_3}=\frac{5\times10^5}{2.08\times10^5}=\boxed{2.4}$$

ـ بررسی میزان پیشرفت در گزینه ۴:

$$y_4=1985 \rightarrow n_4=66000(1985-1990)+10^6=0.67\times10^6 \rightarrow \frac{n_4'}{n_4}=\frac{6\times10^5}{6.7\times10^5}=\boxed{0.9}$$

کلاک پردازنده

فاکتور بعدی **سرعت پردازش تراشه‌های پردازنده** است. پالس کلاک، یک سیگنال مشترک در مدارات ترتیبی همزمان (سنکرون) است که با تنظیم فرکانس آن می‌توان سرعت پردازش مدارهای درون تراشه را تغییر داد. فرکانس کلاک به تأخیر مدارهای میان دو رجیستر وابسته است. منظور از تأخیر، مدت زمانی است که طول می‌کشد تا اثر تغییر ورودی در خروجی مدار مورد نظر دیده شود. به بیان بهتر افزایش فرکانس کلاک نمی‌تواند نامحدود باشد و **حداکثر فرکانس** آن برابر با معکوس **بیشترین** تأخیر در المان‌های مدار خواهد بود. این نکته مفهوم **مسیر بحرانی** (critical path) را مطرح می‌سازد.

مسیر بحرانی در مدارات ترکیبی و ترتیبی تعاریف متفاوت دارد:

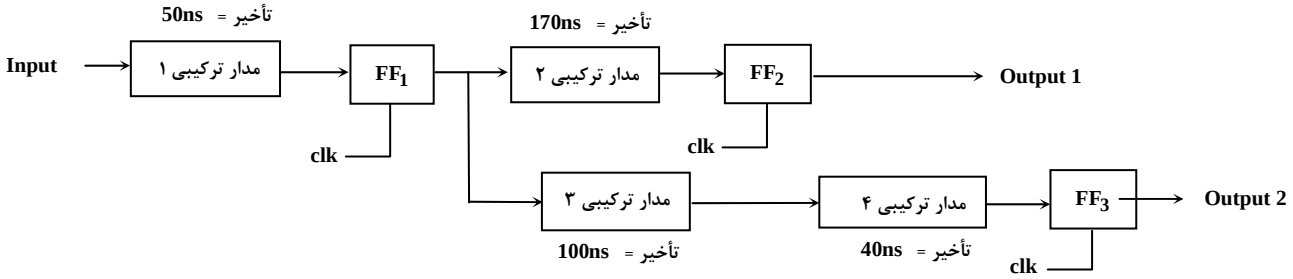
الف: مسیر بحرانی در مدار ترکیبی: مسیری بین یک یا گروهی از ورودی‌ها تا خروجی است که بیشترین تأخیر ممکن را در مقایسه با دیگر مسیرهای موجود میان ورودی‌ها و خروجی داراست.

ب: مسیر بحرانی در مدار ترتیبی: مسیری است بین دو ماژول (معمولاً دو رجیستر) همگام شده توسط یک کلاک مشترک که در میان کل مسیرهای موجود بین ماژول‌های همگام شده متوالی، بیشترین تأخیر را دارد. شکل زیر یک مسیر در مدار ترتیبی را به خوبی نشان می‌دهد.

شکل ۵: مسیر عمومی در مدارات ترتیبی

دو المان 1 و 2 در این شکل بیان‌گر دو ماژول همگام شده متوالی هستند. همان‌طور که در شکل نیز دیده می‌شود، عناصر تشکیل‌دهنده مسیر همگی ترکیبی هستند.

مثال۶: حداکثر فرکانس کلاک در مدار زیر چقدر است؟

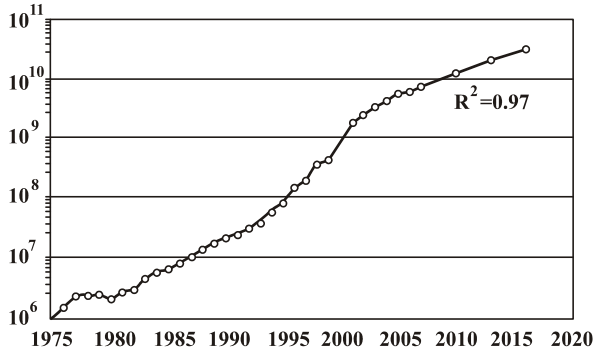


۱) $f=7GHZ$ ۲) $f=7MHZ$ ۳) $f=6GHZ$ ۴) $f=6MHZ$

☑ **پاسخ:** گزینه «۴» فرکانس کاری مدار برابر با معکوس تأخیر ناشی از مسیر بحرانی می‌باشد. بنابراین برای یافتن f_{max} در یک مدار باید مسیر بحرانی را از میان مسیرهای موجود بین هر دو کلاک بیابیم و سپس آن را معکوس کنیم:

$$\text{critical path}=170(\text{ns}) \Rightarrow f_{max}=\frac{1}{\text{critical path}}=\frac{1}{170\times10^{-9}}(\text{Hz}) \Rightarrow \boxed{f_{max}\simeq 0\cdot006\times10^{9}(\text{Hz})=6(\text{MHz})}$$

پس از درک مفهوم کلاک تراشه به بررسی روند افزایش سرعت کلاک در ریزپردازنده‌ها از سال 1975 تا سال 2020 می‌پردازیم. شکل زیر این روند را در دو قسمت متفاوت (مطالعه روند افزایش سرعت کلاک از سال 1975 تا سال 2010 و پیش‌بینی این روند از سال 2010 تا سال 2020) نشان می‌دهد.



شکل ۶ : روند افزایش سرعت کلاک پردازنده‌ها

همان‌طور که در شکل نیز پیداست، **روند افزایش سرعت کلاک پردازنده‌ها تا سال 2000 به شکل نمایی ادامه داشته، اما این روند با ورود به هزاره سوم دچار حرکتی میرا شده است.** این مشکل به دلیل وجود موانعی همچون تأخیر المانهای درون تراشه و توان مصرفی ایجاد شده است و سدّی جدی در مسیر پیشرفت تکنولوژی به حساب می‌آید. نمودار نشان می‌دهد **تا قبل از سال 2000 سرعت کلاک پردازنده‌ها تقریباً هر 2 سال، دو برابر شده است.** این در حالی است که **پس از سال 2000، این میزان افزایش سرعت، هر 2.5 سال یکبار اتفاق افتاده است.**

ولتاژ منبع تغذیه و توان مصرفی

فاکتور دیگر در راستای بررسی عوامل مؤثر در پیشرفت تکنولوژی تراشه‌ها، **ولتاژ منبع تغذیه** است. ولتاژ منبع متصل به یک تراشه تأثیر زیادی در توان مصرفی آن دارد. **توان مصرفی** یک تراشه حاصل جمع دو پارامتر **توان ایستا و پویا** در آن است. این دو پارامتر در فصول آتی مورد بررسی قرار خواهند گرفت، اما برای روشن شدن موضوع اخیر به ذکر رابطه محاسبه توان پویا در مدارهای الکترونیکی می‌پردازیم.

توان پویا به عنوان یک فاکتور منفی در المانهای الکترونیکی از رابطه روبه‌رو به دست می‌آید: $P_D=\alpha\cdot C_L\cdot {V_{DD}}^2\cdot f_s$

در رابطه فوق، α ضریب وابسته به تکنولوژی، C_L خازن خروجی مدار، f_s فرکانس سوئیچینگ ورودی و V_{DD} ولتاژ منبع تغذیه است. چنانکه مشاهده می‌کنید، توان مصرفی پویای یک تراشه با مجذور ولتاژ منبع تغذیه آن رابطه مستقیم دارد. بر همین اساس می‌توان گفت کاهش این پارامتر می‌تواند منجر به کنترل توان مصرفی در تراشه‌ها گردد. شکل زیر نحوه تغییر ولتاژ منبع و توان مصرفی تراشه‌ها را در 10 سال اخیر (2001 تا 2010) نشان می‌دهد و علاوه بر آن، ادامه این روند را تا سال 2016 نیز تخمین می‌زند.

تاریخ (سال)	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
ولتاژ منبع تغذیه(V)	1.2	1.2	1.1	1.1	1.0	1.0	0.9	0.8	0.7	0.6
توان مصرفی کل (W)	130	140	150	160	170	180	190	218	251	288

شکل ۷ : روند کاهش ولتاژ منبع تغذیه و تغییر توان مصرفی

داده‌های شکل فوق به دو نکته اساسی اشاره دارند: ۱) **اندازه ولتاژ منبع تغذیه تراشه‌ها طی 10 سال اخیر فقط 0.4v کاهش یافته است.** این مسئله نشان می‌دهد که ادامه این روند کار ساده‌ای نیست و نیازمند ارائه روشهای جدید برای رسیدن به ولتاژ $0.6v$ در سال 2016 می‌باشد.

مطلب دوم به افزایش توان مصرفی تراشه‌ها با وجود کاهش ولتاژ منبع تغذیه اشاره دارد. ممکن است در نگاه نخست این موضوع کمی غیر عادی به نظر برسد اما برای روشن شدن موضوع باید توجه داشت که علاوه بر منبع تغذیه، عوامل دیگری نیز در توان مصرفی تراشه مؤثرند. این عوامل عبارتند از: فرکانس سوئیچینگ ورودی، خازن خروجی و فن‌آوری ساخت تراشه. به هر حال، **ولتاژ منبع تغذیه با کاهش خود، باعث جلوگیری از افزایش بی‌رویه توان مصرفی تراشه شده** و البته این نقش و ارزش آن در جای خود محفوظ است.

مثال۷: اگر در یک تراشه ولتاژ منبع تغذیه α برابر شود و فرکانس سوئیچینگ ورودی با نسبت $\frac{1}{\alpha}$ کاهش یابد، توان مصرفی پویا با چه ضریبی تغییر می‌کند؟

۱) α ۲) $\frac{1}{\alpha^2}$ ۳) α^2 ۴) $\frac{1}{\alpha}$

☑ **پاسخ:** گزینه «۳» رابطه توان مصرفی پویا مطابق با رابطهٔ $P_D=\alpha C_L V_{DD}^2 f_s$ می‌باشد. طبق صورت مسئله V_{DD} به صورت αV_{DD}، و فرکانس f_s به شکل $\frac{f_s}{\alpha}$ تغییر نموده است. بنابراین توان مصرفی پویا به صورت زیر تغییر می‌کند:

$$P_{D(New)}=\alpha\cdot C_L\cdot(\alpha V_{DD})^2\cdot\frac{f_s}{\alpha}=\alpha^2\cdot P_D$$

در این جا فرض شده است که α همان پارامتر وابسته به تکنولوژی است. در صورتی که α را ضریبی عددی فرض نماییم، گزینه ۱ صحیح خواهد بود.

◆ ◆ ◆ ◆

مثال۸: با توجه به داده‌های زیر مشخص نمایید خازن خروجی در کدام حالت بزرگتر است؟

۱) $P_D=100w\ ,\ f_s=1GHz\ ,\ V_{DD}=1.5v$ ۲) $P_D=250w\ ,\ f_s=1.4GHz\ ,\ V_{DD}=1.2v$

۳) $P_D=120w\ ,\ f_s=0.8GHz\ ,\ V_{DD}=1.8v$ ۴) $P_D=180w\ ,\ f_s=1.2GHz\ ,\ V_{DD}=1.3v$

☑ **پاسخ:** گزینه «۲» خازن خروجی (C_L) طبق رابطه توان مصرفی پویا از رابطهٔ $C_L=\frac{P_D}{f_s.V_{DD}^2}$ به دست می‌آید (با فرض $\alpha=1$). بنابراین با توجه به گزینه‌های مختلف داریم:

گزینه (۱) $\longrightarrow C_L=\frac{100}{(1)\times(1.5)^2}=\boxed{44.44(nf)}$

گزینه (۲) $\longrightarrow C_L=\frac{250}{(1.4)\times(1.2)^2}=\boxed{124.0(nf)}$

گزینه (۳) $\longrightarrow C_L=\frac{120}{(0.8)\times(1.8)^2}=\boxed{46.3(nf)}$

گزینه (۴) $\longrightarrow C_L=\frac{180}{(1.2)\times(1.3)^2}=\boxed{88.75(nf)}$

لایه‌های سیم‌بندی

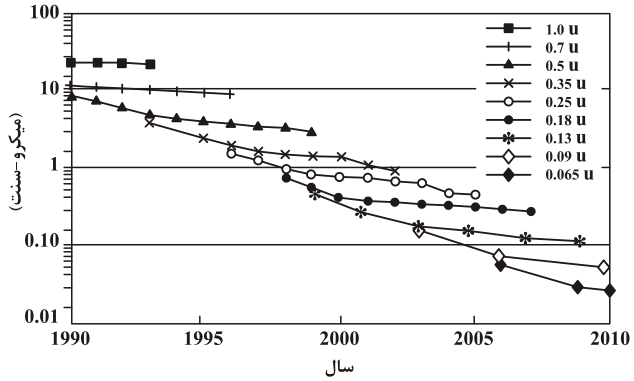
عامل دیگر در تحلیل میزان پیشرفت تکنولوژی و فشرده‌سازی تراشه‌ها، **تعداد لایه‌های سیم‌بندی** است. منظور از تعداد لایه‌های سیم‌بندی در یک مدار، تعداد سطوحی است که اتصالات مدار را در خود جای داده و آنها را بدون تماس با یکدیگر، روی هم به صورت لایه لایه قرار داده است. بدیهی است هرچه تعداد لایه‌های سیم بندی بیشتر باشد، میزان رشد فن‌آوری تولید تراشه و امکان فشرده‌سازی نیز بیشتر خواهد بود. شکل زیر تعداد لایه‌های اتصالات در تراشه‌ها را در چند سال اخیر نشان می‌دهد. همان‌طور که مشاهده می‌شود، این فاکتور نیز از جمله مواردی است که پیشرفت در آن به کندی صورت می‌گیرد.

سال ارائه	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
تعداد لایه‌های سیم‌بندی	7	8	8	8	9	9	9	10	10	10

شکل ۸ : روند افزایش تعداد لایه‌های سیم‌بندی در تراشه‌ها

هزینه ساخت ترانزیستورها

در کنار تمامی فاکتورهای ذکر شده در بالا **هزینه ساخت تراشه** نیز از مباحث مهم در ارزیابی میزان پیشرفت تکنولوژی است که بررسی آن در هر سطح از ساخت و تولید تراشه‌ها ضروری است. شکل روبه‌رو به بررسی این فاکتور در چندین تکنولوژی مختلف می‌پردازد. در این نمودار اندازه ترانزیستورهای تراشه از 1µm تا 65nm فرض شده و در هر سطح نحوه کاهش هزینه ساخت از زمان ارائه تکنولوژی (نقطه شروع منحنی) تا زمان خارج شدن آن از بازار (نقطه انتهایی منحنی) و ظهور تکنولوژی بعدی (نقطه برخورد منحنی مربوط به دو تکنولوژی)، مورد بررسی قرار گرفته است.



شکل ۹ : روند کاهش هزینه ساخت تراشه‌ها

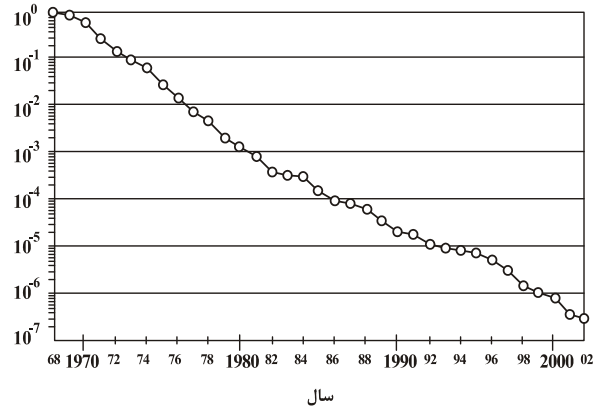
نکته ظریف و قابل توجه در این شکل، سرعت کاهش هزینه ساخت در هنگام ارائه یک فن‌آوری جدید است. با ورود هر تکنولوژی به بازار، ابتدا با سرعت زیادی هزینه‌ها کاهش می‌یابد و بازار به سمت فن‌آوری جدید تغییر مسیر می‌دهد اما به تدریج با گذر زمان و عادی شدن اوضاع، این روند کندتر شده و همه چیز برای ورود فن‌آوری‌های جدیدتر مهیا می‌شود.

قیمت متوسط ترانزیستورها

آخرین فاکتور مورد بررسی در این فصل، فاکتور **قیمت متوسط هر ترانزیستور در تراشه‌های دیجیتال** است. شکل روبرو چگونگی تغییر قیمت ترانزیستورهای ساخته شده در 30 سال متمادی را برحسب دلار نشان می‌دهد.

همان‌طور که در شکل نیز مشاهده می‌شود در دهه‌های 70 و 80 میلادی، به ازای هر 1 سال قیمت ترانزیستورها حدوداً نصف شده است. این در حالی است که در سالهای پس از این دو دهه، به ازای سپری شدن هر 1.5 سال، این میزان کاهش قیمت اتفاق افتاده است.

این مسئله حاکی از آن است که پیشرفت تکنولوژی ساخت، با روندی رو به کاهش، بر قیمت ترانزیستورها در طرح نهایی تأثیر می‌گذارد و آن را تقلیل می‌دهد.



شکل ۱۰ : روند کاهش قیمت ترانزیستورها در تراشه

مثال۹: اگر پارامترهای زیر برای یک تراشه به دست آمده باشد، کدام‌یک از روابط زیر می‌تواند برای ارزیابی قیمت تمام شده این تراشه به کار رود؟

هزینه ساخت	(C)	0.5$
لایه‌های سیم‌بندی	(n)	8
سطح مقطع تراشه	(A)	$1600mm^2$
قیمت تمام شده	(P)	10$

۱) $P = \frac{4C\sqrt{A}}{n}$ ۲) $P = \frac{\sqrt{A}}{n.C}$ ۳) $P = \frac{n.C}{\sqrt{A}} \times 100$ ۴) $P = \frac{n + 4C + \sqrt{A}}{5}$

☑ **پاسخ:** گزینه «۳» همان‌طور که مشاهده می‌کنید داده‌های فوق در تمامی روابط صدق می‌کنند و می‌بایست به لحاظ منطقی رابطه صحیح‌تر انتخاب شود. منطق حاکم بر علم VLSI ایجاب می‌کند که در تجارت تراشه‌های ساخته شده به این شیوه، قیمت تمام شده با پارامترهای هزینه ساخت و تعداد لایه‌های سیم‌بندی نسبت مستقیم و با پارامتر سطح مقطع تراشه نسبت عکس داشته باشد. بنابراین در میان روابط فوق گزینه ۳ صحیح‌تر به نظر می‌رسد. البته باید در ارتباط با سطح مقطع چند نکته را لحاظ کرد: سطح مقطع تراشه می‌تواند رابطه مستقیم نیز با هزینه ساخت داشته باشد. چنان‌چه منظور از بزرگ‌تر شدن تراشه پیچیده‌تر شدن مدارات باشد، بدیهی است که در یک **تکنولوژی ساخت**، تراشه‌ای که مساحت آن بزرگ‌تر باشد، گرانتر تمام می‌شود. اما در صورتی که منظور از کاهش سطح تراشه، استفاده از تکنولوژی جدیدتر و کوچک‌تر باشد، واضح است که تراشه دارای تکنولوژی جدیدتر، گران‌تر خواهد بود. پس با فرض نخست گزینه چهارم درست می‌باشد زیرا در آن صورت سطح مقطع با قیمت رابطه‌ی مستقیم دارد.

فازهای طراحی مدارهای مجتمع

شکل زیر مراحل مختلف طراحی یک مدار مجتمع یا تراشه را به وضوح نمایش می‌دهد. در ادامه این مراحل شش‌گانه به اختصار تشریح می‌شوند.

1.System Description:

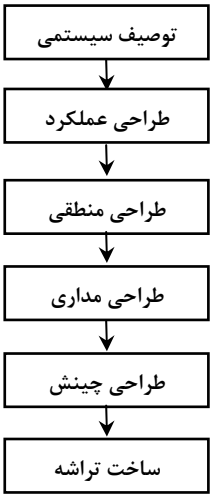
2.Function Design:

3.Logic Design:

4.Circuit Design:

5.Layout Design:

6.Fabrication:



شکل ۱۱ : مراحل ساخت تراشه‌ها و مدارهای مجتمع دیجیتال

۱ـ فاز توصیف سیستمی:

در این فاز ابتدا نیازها، خصوصیات و محدودیت‌های طرح مورد نظر استخراج می‌گردد. سپس سعی می‌شود با در نظر گرفتن فاکتورهای مهم در بحث طراحی مانند سرعت پردازش، تأخیر المانها، توان مصرفی تراشه، سطح مقطع گیت و... یک ساختار کلی از سیستم در قالب زیر سیستم‌های مرتبط با هم ارائه شود و محدودیت‌های مذکور در آن لحاظ گردد.

مدارهای مجتمع به دو نوع آنالوگ و دیجیتال تقسیم می‌شوند. به دلیل تفاوت‌های اساسی در یک طراحی واقعی از این دو نوع سیستم، نمی‌توان جزئیات آن‌ها را همزمان با یکدیگر تشریح کرد اما به هر حال دارای مراحل پایه‌ای یکسان در پروسه طراحی و پیاده‌سازی می‌باشند. در این قسمت ابتدا یک نمودار کلی از مراحل ارائه می‌شود و سپس در ادامه به بررسی هر مرحله با تمرکز بر روی طراحی دیجیتال خواهیم پرداخت.

۲ـ فاز طراحی عملکرد:

زیر سیستم‌های شناسایی شده در مرحله توصیف سیستمی به صورت دقیق‌تر تشریح می‌گردند و گاه خود نیز به چندین ماژول دیگر تقسیم می‌شوند. سپس هر یک از این ماژول‌ها به صورت جداگانه طراحی می‌شوند. در گام بعد ارتباط بین تمامی ماژول‌های مستقل به صورت مناسب و مطلوب برقرار می‌گردد.

در سیستم‌های دیجیتال، این فاز را می‌توان به چندین شکل و در سطوح مختلف انجام داد:

الف) طراحی و پیاده‌سازی رفتاری و الگوریتمی:

در این سطح با یک نگاه بسیار کلی، صرفاً به پیاده‌سازی رفتار سیستم توجه می‌شود. معمولاً این پیاده‌سازی جهت اطمینان از عملکرد سیستم طراحی شده به کار می‌رود و با استفاده از زبان‌های سطح بالا مثل C یا نرم‌افزاری همچون MATLAB انجام می‌گیرد.

ب) طراحی RTL (Register Transfer Level):

در این سطح سیستم به صورت مجموعه‌ای از ثبات‌ها، حافظه و گذرگاه‌های ارتباطی ترسیم و طراحی می‌گردد. به بیان دیگر در این سطح، سیستم به صورت یک جریان داده‌ای پیاده‌سازی می‌شود.

ج) طراحی ساختاری:

در این سطح، سیستم به شکل مجموعه‌ای از بلاک‌ها ترسیم می‌گردد که ارتباطات میان آن‌ها، چگونگی جریان داده را در کل سیستم نشان می‌دهد. این ساختار با همکاری طراحان سیستمی دیجیتالی پیاده‌سازی می‌گردد و درک این دو گروه را از سیستم یکسان می‌سازد.

معمولاً با ترکیب دو ساختار ب و ج، تلاش می‌شود تا به یک سیستم قابل درک و پیاده‌سازی توسط یکی از زبان‌های توصیف سخت‌افزار (HDL) برسیم. در طراحی رفتاری نیز سیستم به صورت بلاک‌هایی طراحی می‌گردد که ساختار درونی هر یک از آنها یک توصیف RTL است.