مدرسان شریف

فصل اول

«مقدمه‌ای بر مفاهیم الکترونیک دیجیتال»

مقدمه

نخستین فصل کتاب پیش‌رو به بیان نکاتی در خصوص مفاهیم اصلی و کلیدی مربوط به الکترونیک دیجیتال می‌پردازد. این فصل در ابتدا به تعریف و توصیف منطق دودویی (باینری) پرداخته و سیگنال‌های دودویی را بر مبنای این منطق معرفی می‌نماید. سپس مفهومی تحت عنوان مدارات سوئیچینگ را با ذکر مثال‌های متنوع و کاربردی ارائه نموده و به معرفی مشخصات سوئیچ‌های انتزاعی دیجیتال می‌پردازد.

در ادامه این فصل خانواده مدارات دیجیتال معرفی شده و مدارات معکوس‌کننده (وارونگر) و دنبال‌کننده (بافر) پایه دیجیتال به عنوان بستر اصلی آشنایی با این خانواده‌ها ارائه می‌گردد. قسمت پایانی این فصل نیز به مفهوم نمودار مشخصه انتقال ولتاژ (VTC یا Voltage Transfer Characteristic) و سایر مفاهیم مشتق شده از آن نظیر: نقاط بحرانی، حاشیه نویز، توان مصرفی، ظرفیت ورودی و ظرفیت خروجی و تأخیر انتشار پرداخته و نحوه محاسبه این پارامترها را همراه با کاربرد آن‌ها در تحلیل مدارات الکترونیک دیجیتال توضیح می‌دهد.

درسنامه (۱): سیگنال‌ها و مدارات منطقی

منطق دودویی

منظور از منطق دودویی (جبربول) در دنیای دیجیتال، منطق مبتنی بر ۲ مقدار (منطق باینری) است که این دو مقدار عبارتند از ارقام ۰ و۱. دلیل این انتخاب به نحوه ارزش‌گذاری تمامی گزاره‌های قابل تعریف در دنیای دیجیتال برمی‌گردد. از آنجا که هر گزاره اصالتاً می‌تواند صحیح (معادل رقم ۱) و یا ناصحیح (معادل رقم ۰) باشد، بنابراین این دو مقدار می‌توانند پایه مناسبی برای نمایش اطلاعات و محاسبات مربوط به آن‌ها در سیستم‌های دیجیتال باشند.

به هر یک ارقام ۰ یا۱ در منطق دودویی، بیت(bit) گفته می‌شود. بیت کوچک‌ترین واحد نمایش اطلاعات در منطق دودویی است. عمدتاً برای نمایش جزئیات بیشتر اطلاعات دیجیتال از چند بیت در کنار هم استفاده می‌شود. به طور خاص به هر دسته ۸ بیتی اطلاعات، یک بایت (Byte) و به هر دسته ۴ بیتی، اطلاعات یک نیبل (Nibble) اطلاق می‌شود. منطق دودویی متشکل از متغیرهای دودویی (باینری) و عملیات منطقی (بولی) می‌باشد. هر متغیر منطقی با یک حرف انگلیسی (مانند A، B و ...) نمایش داده شده و مقدار آن معادل بیت ۰ یا۱ است. عملیات منطقی اصلی نیز عبارتند از: AND (ترکیب عطفی)، OR (ترکیب فصلی) و NOT (معکوس منطقی). عملیات AND و OR در ساده‌ترین شکل خود شامل ۲ عملوند منطقی بوده و عمل NOT تک‌عملوندی است. با توجه به اینکه عملیات مذکور از نوع منطقی (بولی) می‌باشد، عملوند آن‌ها نیز بایستی به صورت متغیر منطقی باشد.

عملکرد AND منطقی بدین صورت است که روی دو متغیر منطقی عمل می‌کند و حاصل آن تنها زمانی معادل بیت ۱ است که مقدار هر دو عملوند آن برابر با ۱ باشد. در غیر این صورت خروجی این عمل، صفر منطقی خواهد بود. به عبارت دیگر، خروجی عمل AND دو متغیر منطقی زمانی برابر با ۱ است که متغیر اول «و» متغیر دوم معادل ۱ باشند. بنابراین ترجمه کلمه AND می‌تواند نشان‌دهنده عملکرد آن باشد. این عمل در محاسبات دیجیتال به صورت مقابل نمایش داده می‌شود:

$$(A.B) = (AB) = (A \ \text{AND} \ B) = (A \wedge B)$$

عمل OR منطقی نیز میان دو متغیر منطقی قرار می‌گیرد و حاصل آن تنها زمانی معادل بیت ۰ است که مقدار هر دو عملوند آن برابر با ۰ باشد. در غیر این‌صورت خروجی این عمل، ۱ منطقی خواهد بود. به بیان دیگر، حاصل عمل OR دو متغیر منطقی زمانی برابر با ۱ است که متغیر اول «یا» متغیر دوم برابر با ۱ باشند. بنابراین ترجمه کلمه OR می‌تواند نشان‌دهنده عملکرد آن باشد. این عمل در محاسبات دیجیتال به صورت زیر نمایش داده می‌شود:

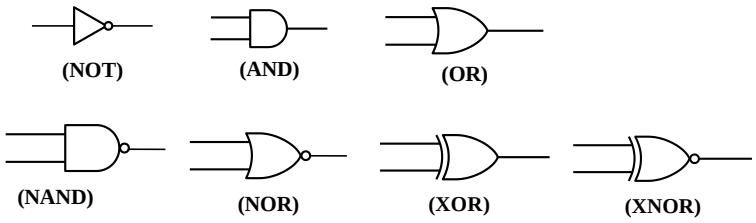
$$(A + B) = (A \ \text{OR} \ B) = (A \vee B)$$

عمل تک‌عملوندی NOT مقدار متغیر منطقی را معکوس می‌کند که البته از ترجمه واژه NOT نیز همین مفهوم قابل درک است. این عمل در محاسبات دیجیتال به صورت مقابل نشان داده می‌شود.

$$(\bar{A}) = (A') = (\text{NOT}\, A) = (\neg A)$$

www.modaresanesharif.ac.ir

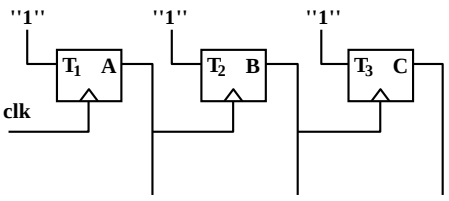
هریک از عملیات منطقی ساده و یا ترکیبی (مانندNAND، NOR، XOR، XNOR و ...) برای استفاده در مدارات منطقی باید مطابق شکل زیر به‌صورت یک دروازه منطقی (گیت منطقی) با نماد گرافیکی تعریف شده، به کار گرفته شود (درس مدارهای منطقی). برای درک بهتر این سه عمل منطقی معمولاً آن‌ها را به شکل ضرب منطقی (AND)، جمع منطقی (OR) و نقیض منطقی (NOT) نام‌گذاری می‌کنند. با کمی دقت به راحتی می‌توان دریافت که شبیه‌سازی AND و OR منطقی به ترتیب با عملیات ضرب و جمع بی‌دلیل نیست! برای وضوح بیشتر موضوع در شکل زیر با رسم جدولی به نام جدول صحت (درستی) عملکرد این عملیات را در مقایسه با عبارات ضرب و جمع و نقیض منطقی نشان می‌دهیم.



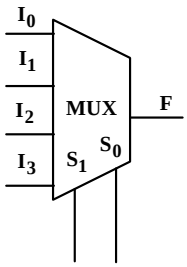
A B	A AND B	A OR B	NOTA
۰ ۰	۰.۰ = ۰	۰+۰ = ۰	$\overline{۰}$ = ۱
۰ ۱	۰.۱ = ۰	۰+۱ = ۱	$\overline{۰}$ = ۱
۱ ۰	۱.۰ = ۰	۱+۰ = ۱	$\overline{۱}$ = ۰
۱ ۱	۱.۱ = ۱	۱+۱ = ۱	$\overline{۱}$ = ۰

نماد گرافیکی گیت‌های منطقی و جدول صحت عملیات منطقی

چنانکه مشاهده می‌شود، جدول صحت تمامی ترکیبات منطقی ممکن روی متغیرهای A و B را در نظر گرفته و به ازای هر ترکیب منطقی متغیرهای ورودی، به اعلام خروجی عمل مربوطه می‌پردازد. در مورد جدول صحت عمل OR توجه به این نکته ضروری است که حاصل OR دو بیت ۱ معادل بیت ۱ خواهد شد (یعنی۱=۱+۱ که البته این گزاره با گزاره‌های محاسباتی دنیای دهدهی کمی متفاوت است). بنابراین معادل عمل OR در محاسبات دهدهی عبارت است از جمع حسابی که قطعاً در درس مدارهای منطقی با آن آشنا شده‌اید. در جمع حسابی دو بیت ۱ حاصل معادل عدد دهدهی ۲ و یا عدد دودویی ۱۰ خواهد بود. نکته حائز اهمیت در منطق دودویی این است که ساده‌ترین شکل پیاده‌سازی این منطق با استفاده از متغیرهای منطقی تک‌بیتی و عملیات منطقی اصلی (AND و OR و NOT) قابل ارائه است، اما در کاربردهای پیچیده‌تر هم متغیرها می‌توانند چند بیتی پردازش شوند و هم عملیات منطقی ترکیبی (مانند NAND و NOR و XOR وXNOR و ...) در انجام محاسبات قابل استفاده هستند. همانطور که در درس مدارهای منطقی هم مطالعه نمودید، مدارهای ترکیبی و ترتیبی می‌توانند نمونه‌هایی از این ساختارهای پیچیده باشند. هدف اصلی در درس الکترونیک دیجیتال آشنایی بیشتر با ساختار داخلی این مدارات و تحلیل الکترونیکی رفتار آن‌ها می‌باشد. شکل زیر نمونه‌هایی از مدارات ترکیبی و ترتیبی معروف را نشان می‌دهد.



(مدار ترتیبی شمارنده 3 بیتی نزولی آسنکرون)



(مدار ترکیبی مالتی پلکسر 4 به 1)

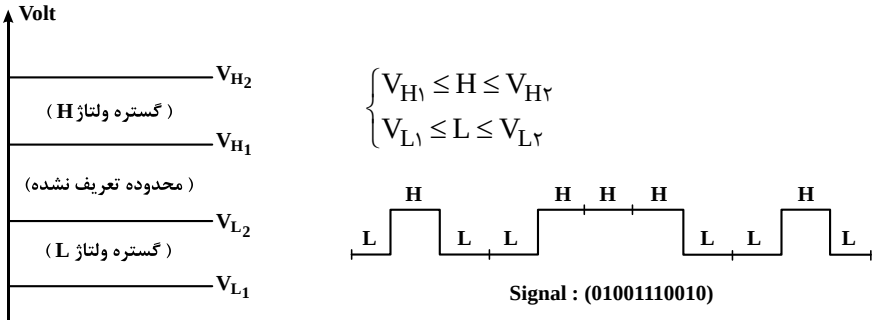
نمونه‌هایی از مدارات ترکیبی و ترتیبی منطقی

سیگنال‌های دودویی

منظور از سیگنال دودویی، شکل موجی الکترونیکی از جنس ولتاژ یا جریان است که مقدار ولتاژ یا جریان آن در هر لحظه، نشان‌دهنده ارزش منطقی آن می‌باشد. به مداراتی که با سیگنال دودویی ولتاژ یا جریان کار می‌کنند، مدارات مود ولتاژ یا مدارات مود جریان گفته می‌شود. مبحث مدارات مود جریان در این درس مطرح نمی‌شود و مطالعه آن به خواننده سپرده می‌شود. در ساختار مدارات مود ولتاژ، سطوح مختلف ولتاژ معرف ۰ یا۱ بودن ارزش سیگنال‌های دودویی است. در واقع برای پیاده‌سازی یک مدار مود ولتاژ ابتدا بایستی مشخص شود محدوده ولتاژهای ۰ و۱ (یا محدوده ولتاژهای Low و High که به اختصار به صورت L و H نوشته می‌شود) چگونه تقسیم‌بندی شده است. برخی مدارات به سطوح پایین ولتاژ حساس هستند (مدارات Active Low) و برخی به سطوح بالای ولتاژ (مدارات Active High). گستره ولتاژهای L و H در مدارات دیجیتال معمولاً به صورت کاملاً مجزا در نظر گرفته می‌شود. علاوه بر این برای هریک از گستره‌های ولتاژ L و H یک حد بالا و پایین منظور می‌گردد. درصورتی‌که سیگنال ولتاژ مقداری در محدوده تعریف شده برای ولتاژ H اختیار کند، ارزش آن H است. در مورد ولتاژ L نیز قضیه به همین شکل است. حال اگر سیگنال در هیچ‌یک از این دو محدوده واقع نشود، اصطلاحاً گفته می‌شود سیگنال در محدوده تعریف نشده قرار گرفته است.

www.modaresanesharif.ac.ir

شکل زیر در حالت کلی گستره ولتاژ H، ولتاژ L و محدوده تعریف نشده را همراه با یک سیگنال دودویی متناوب نمونه نشان می‌دهد.



گستره سیگنال‌های دودویی H و L و یک سیگنال دودویی متناوب نمونه

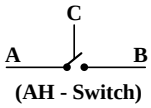
دلیل اصلی فرض نمودن گستره برای ولتاژهای L و H در مدارات دیجیتال این است که میزان تحمل‌پذیری مدار در مقابل نویز و پارازیت افزایش یابد و ارزش سیگنال‌ها به راحتی از عوامل محیطی تأثیر نپذیرد (از H به L یا بالعکس تغییر نکند). نکته اینکه هم سیگنال‌های دودویی ورودی و هم سیگنال‌های دودویی خروجی در مدارات دیجیتال باید صرفاً در محدود H یا L ولتاژ واقع شده و ارزشی خارج از گستره‌های مشخص شده را نپذیرند تا بتوان از عملکرد صحیح مدار اطمینان حاصل نمود.

مدارات سوئیچینگ

همان‌طورکه از عنوان مدار سوئیچینگ برمی‌آید، این مفهوم توصیف‌کننده مداراتی است که در ساختار آن‌ها از سوئیچ‌های قطع و وصل استفاده شده است. منظور از سوئیچ، قطعه‌ای الکترونیکی است که عمدتاً دارای ۲، ۳ یا ۴ سر می‌باشد و دو وضعیت وصل و قطع برای سرهای آن می‌توان تصور نمود. برخی از پایه‌های سوئیچ، کنترل وصل یا قطع بودن آن را برعهده دارند و برخی دیگر به انتقال ولتاژ در سوئیچ کمک می‌کنند. نحوه عملکرد این قطعه به این صورت است که اعمال ولتاژهای متفاوت به پایه‌های کنترلی آن می‌تواند منجر به اتصال یا قطع ارتباط پایه‌های انتقال ولتاژ شده و وضعیت سوئیچ را تغییر دهد. به ولتاژ اعمال شده به پایه‌های کنترل سوئیچ، سیگنال کنترلی گفته می‌شود. با توجه به اینکه سوئیچ‌های مورد بحث در این درس به صورت ۲ حالته (قطع و وصل) فعالیت می‌کنند، بنابراین سیگنال‌های کنترلی نیز باید از نوع سیگنال دودویی بوده و با اعمال دو مقدار منطقی ۰ و ۱ (Low و High) سوئیچ را قطع و وصل کنند.

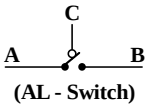
سیگنال‌های دودویی چنانکه در بخش قبل نیز اشاره شد، بسته به گستره تعریف شده برای ولتاژها در مدار، می‌توانند به صورت High، Low یا نامعتبر تفسیر شوند. مرز این گستره‌ها بستگی به المان‌های استفاده شده در مدار و نحوه برخورد آن‌ها با سطوح مختلف ولتاژ دارد. به عنوان مثال در یک مدار با شرایط $(۷ \le V_H \le ۱۰)$ و $(۰ \le V_L \le ۵)$ ولتاژ ۳ ولت به صورت سیگنالی با ارزش Low احساس می‌شود، در حالی‌که همین ولتاژ در مداری با شرایط $(۲/۵ \le V_H \le ۵)$ و $(-۱ \le V_L \le ۱/۵)$ معادل با سیگنال High خواهد بود. بنابراین ولتاژ اعمال شده به پایه‌های کنترلی سوئیچ با توجه به ساختار مدار می‌تواند تعابیر متفاوتی داشته باشد و اساساً مفهومی نسبی و غیرمطلق است.

سوئیچ‌ها در برخورد با سطوح مختلف ولتاژ ممکن است رفتارهای متفاوتی داشته باشند. برخی سوئیچ‌ها با اعمال سیگنال High به پایه‌های کنترلی وصل شده و با سیگنال Low قطع می‌شوند و برخی برعکس عمل می‌کنند. به سوئیچ‌های نوع اول Active High (AH) و به سوئیچ‌های نوع دوم Active Low (AL) گفته می‌شود. شکل زیر ساختار انتزاعی و شماتیک سوئیچ‌های ۳ سر را در حالت AH و AL نشان می‌دهد. در این سوئیچ‌های ۳ سر پایه C کنترلی است و دو پایه A و B جهت انتقال ولتاژ منظور شده‌اند. ذکر این نکته جهت یادآوری الزامی است که کلیه ساختارهای مورد بحث در این کتاب مبتنی بر انتقال ولتاژ در مدار بوده و اصطلاحاً در مود ولتاژ فعالیت می‌کنند. به همین دلیل هدف از استفاده سوئیچ در مدارات سوئیچینگ، کنترل انتقال ولتاژ از یک نقطه از مدار به سایر نقاط می‌باشد. بحث در مورد سوئیچ‌های مود جریان را به عهده خواننده می‌گذاریم.



(AH - Switch)

$\begin{cases} C = H \Rightarrow A \text{ connected to } B \\ C = L \Rightarrow A \text{ disconnected from } B \end{cases}$



(AL - Switch)

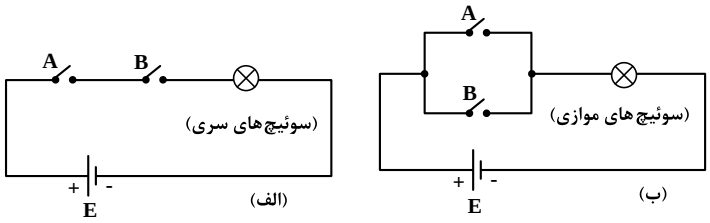
$\begin{cases} C = L \Rightarrow A \text{ connected to } B \\ C = H \Rightarrow A \text{ disconnected from } B \end{cases}$

ساختار شماتیک سوئیچ‌های ۳ سر AL و AH

رفتار سوئیچ‌ها در مدارات سوئیچینگ به گونه‌ای است که ساختار اصلی مدار را تحت تأثیر قرار می‌دهد. به این معنی که قطع یا وصل بودن هر سوئیچ در مدار می‌تواند منجر به تولید ۲ ساختار متفاوت در مدار شود. بنابراین در یک مدار سوئیچینگ با n سوئیچ با در نظر گرفتن حالات وصل یا قطع برای کلیه سوئیچ‌ها، در مجموع ۲^n ساختار متفاوت قابل تصور است. البته از میان این ۲^n ساختار مختلف، در هر لحظه تنها یک ساختار معتبر و قابل تحلیل می‌باشد. تحلیل مدارات سوئیچینگ به معنی تشخیص رفتار منطقی این مدارات با در نظر گرفتن اتصالات سری ـ موازی سوئیچ‌ها و سیگنال‌های کنترلی آن‌ها می‌باشد.

www.modaresanesharif.ac.ir

بدین معنی که برای تشخیص عملکرد منطقی یک مدار سوئیچینگ باید بدون اعمال سیگنال خاصی به خطوط کنترل سوئیچ‌ها، شرط عبور ولتاژهای H و L از مسیرهای سوئیچینگ مختلف را به دست آورد و با استفاده از قواعد حاکم بر روابط منطقی، نتایج حاصل را ترکیب نمود تا ضابطه نهایی مدار به‌دست آید. برای اطلاع از جزئیات این فرایند، مدارات مقابل را در نظر بگیرید.



دو نمونه ازمدارات سوئیچینگ سری ـ موازی

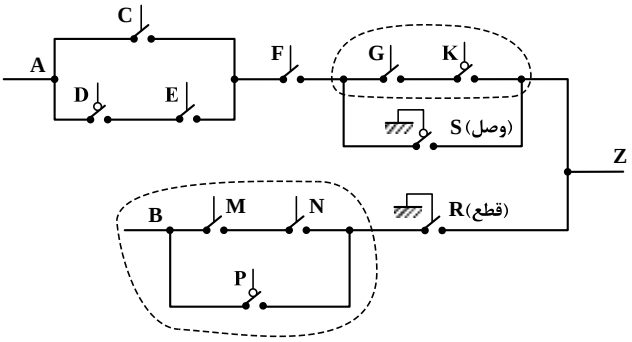
در شکل (الف) شرط برقراری حلقه کامل در مدار و روشن شدن لامپ توسط منبع تغذیه E این است که هر دو سوئیچ A و B در حالت وصل (بسته) یا هدایت قرار گیرند، درحالی‌که در شکل (ب) برای روشن شدن لامپ کافی است حداقل یکی از سوئیچ‌های A یا B وصل شود. بنابراین می‌توان نتیجه گرفت اتصالات سری و موازی سوئیچ‌ها در مدارات سوئیچینگ به ترتیب همچون عملیات منطقی AND و OR عمل می‌کنند. در ساختارهای پیچیده‌تر نیز باید با تکیه بر همین اصول اولیه به صورت گام به گام به تحلیل مدار بپردازیم و ضابطه نهایی سوئیچینگ را به‌دست آوریم. علاوه بر قواعد اولیه فوق باید به سری یا موازی شدن سوئیچ‌ها با سایر المان‌های مدار و وضعیت AL یا AH سیگنال‌های کنترلی نیز توجه داشته باشیم.

نکته ۱: در تحلیل منطقی مدارات سوئیچینگ، سیگنال کنترلی سوئیچ در وضعیت AH به‌صورت عادی و در وضعیت AL به‌صورت معکوس (NOT) در ضابطه منطقی سوئیچ مؤثر می‌شود.

نکته ۲: تمامی المان‌های سری با سوئیچ‌های قطع (باز) و یا موازی با سوئیچ‌های وصل (بسته) در عملکرد مدار بی‌تأثیرند.

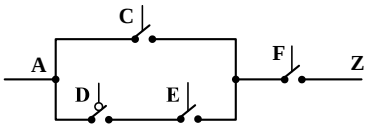
توجه داشته باشید برای تحلیل منطقی گام‌به‌گام مدارات سوئیچینگ چند طبقه بایستی با رسیدن به هر سوئیچ، ضابطه منطقی به‌دست آمده تا قبل از سوئیچ را در سیگنال کنترلی AL یا AH سوئیچ AND کنیم و از سوئیچ عبور کنیم.

در طول مسیر نیز اتصالات سری ـ موازی را دنبال می‌کنیم تا نهایتاً به پایان تحلیل برسیم. به عنوان نمونه مدار شکل زیر را درنظر بگیرید. نخستین موضوع در تحلیل این مدار باز بودن سوئیچ R (به علت اتصال سیگنال L به پایه R که AH است) و بسته بودن سوئیچ S (به علت اتصال سیگنال L به پایه S که AL است) و در ادامه سری شدن طبقه BMNP با سوئیچ باز R و موازی شدن طبقه GK با سوئیچ بسته S است. بنابراین به راحتی می‌توان نتیجه گرفت سوئیچ‌های G، K، M، N و P و همچنین سیگنال ورودی B در عملکرد مدار بی‌تأثیرند و برای به‌دست آوردن ضابطه منطقی خروجی Z می‌بایست سایر سوئیچ‌ها را بررسی نماییم.



یک مدار سوئیچینگ نمونه با ساختار نسبتاً پیچیده

با توضیحات داده شده می‌توان نتیجه گرفت مدار ساده شده شکل فوق به صورت زیر قابل نمایش است. بنابراین در این ساختار ضابطه منطقی مربوط به سوئیچ‌های سری D و E معادل سیگنال $\overline{D}.E$ می‌باشد (سوئیچ D به صورت AL است) و به‌دلیل اینکه این طبقه مجموعاً با سوئیچ C موازی شده است، سیگنال معادل طبقه CDE به صورت $C+\overline{D}.E$ خواهد بود.



$$Z = A.(C + \overline{D}.E).F$$

مدار ساده شده شکل قبل و ضابطه منطقی خروجی آن

حال برای یافتن ضابطه منطقی Z کافی است ورودی A را در ضابطه طبقه CDE و نهایتاً سیگنال کنترلی سوئیچ F (که با طبقه CDE سری شده است) AND نمائیم. ضابطه نهایی به صورت $Z = A(C+\overline{D}E)F$ خواهد شد. مفهوم مدار سوئیچینگ که در این بخش ارائه گردید، مفهومی انتزاعی و غیرمحسوس است که در ادامه با معرفی المان‌هایی همچون دیود و ترانزیستور واقعیت بیشتری پیدا نموده و به‌صورت عینی مورد بررسی قرار می‌گیرد. همانطور که در ابتدا نیز گفته شد برخی سوئیچ‌ها دوپایه و برخی سه یا چهار پایه هستند. دیودها نمونه عینی از سوئیچ‌های ۲ پایه‌اند که در فصل دوم مورد بررسی قرار می‌گیرند. ترانزیستورها نیز دارای ۳ یا ۴ پایه می‌باشند و به عنوان نمونه‌های دیگری از سوئیچ‌های واقعی در فصول سوم تا ششم معرفی می‌شوند.

www.modaresanesharif.ac.ir

مدرسان شریف

فصل چهارم

«مدارات تکنولوژی TTL و ECL»

مقدمه

فصل چهارم کتاب در دو بخش اصلی به معرفی دو تکنولوژی پر کاربرد در دنیای ترانزیستورهای BJT تحت عنوان Transistor - Transistor Logic (TTL) و Emitter-Coupled Logic (ECL) می‌پردازد. نخستین بخش در این فصل به روند توسعه تکنولوژی DTL به TTL اشاره می‌کند و نهایتاً این‌دو تکنولوژی را از نظر خصوصیات منطقی و الکترونیکی با هم مقایسه می‌کند. سپس با ارائه ساختارهای متفاوت طراحی مدار وارونگر پایه تکنولوژی TTL، به ارائه مشخصات اصلی یک مدار TTL پرداخته و عملکرد طبقات ورودی و خروجی این مدارات را به‌طور کامل تحلیل و تفسیر می‌نماید. پارامترهای عملکردی تکنولوژی TTL و نقاط بحرانی نمودار VTC وارونگر پایه این تکنولوژی در ادامه این فصل بررسی می‌شود.

پس از معرفی وارونگر پایه تکنولوژی TTL، به بررسی ساختار چهار مدار کاربردی این تکنولوژی شامل: دروازه‌های NAND، AND، NOR و OR خواهیم پرداخت و در مورد هریک از آن‌ها، عملکرد منطقی را ارزیابی نموده و پارامترهای الکترونیکی نمودار VTC را به‌دست خواهیم آورد. سپس با فرم کلی طراحی مدارات منطقی بر مبنای تکنولوژی TTL آشنا خواهیم شد و تکنیک‌های مرتبط با این نوع طراحی را خواهیم دید.

در ادامه فصل، مدارات خاص تکنولوژی TTL را خواهیم شناخت. این مدارات عبارتند از: مدارات کلکتور باز TTL، مدارات TTL با خروجی سه حالته، مدارات کم‌مصرف TTL (تحت عنوان LCTTL)، مدارات پرسرعت TTL (تحت عنوان TTL شاتکی یا STTL) و مدارات کم‌مصرف و پرسرعت TTL (تحت‌عنوان LSTTL). در مورد هریک از این مدارها هم با تحلیل عملکرد مدار آشنا می‌شویم و هم نقش المان‌های مختلف را در ساختار مدار بررسی می‌کنیم.

پس از بحث و بررسی درخصوص تکنولوژی TTL، به معرفی تکنولوژی ECL می‌پردازیم و در نخستین گام با مدار، بافر/ وارونگر پایه این تکنولوژی آشنا می‌شویم. این بررسی شامل شناخت طبقات تفاضلی تزویج شده ترانزیستوری، خروجی‌های دوگانه امیتر باز، المان‌های سازنده ولتاژ مرجع و مجموعاً عملکرد منطقی و الکترونیکی این مدار می‌باشد. مهم‌ترین دستاورد در تحلیل الکترونیکی این مدار، محاسبه پارامترهای بحرانی نمودار VTC متعلق به دو طبقه بافر و وارونگر است.

در قسمت پایانی فصل نیز ساختار مربوط به مدارات ترکیبی OR/NOR و AND/NAND تکنولوژی ECL از نظر منطقی و الکترونیکی به بحث گذاشته می‌شود و شیوه طراحی مدارات منطقی گسترده‌تر این تکنولوژی توضیح داده می‌شود. این طراحی ممکن است با تغییر نحوه چینش ترانزیستورها در طبقه تفاضلی تزویج شده و یا اتصال خروجی‌های امیتر باز به یکدیگر به منظور پیاده‌سازی OR اتصالی انجام شود.

درسنامه (۱): طراحی و تحلیل مدار پایه TTL

طراحی تکنولوژی TTL بر پایه تکنولوژی DTL

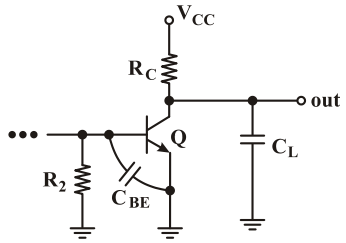
همان‌طورکه قبلاً دیدیم تکنولوژی DTL از ترکیب تکنولوژی‌های RTL و RDL به‌وجود آمد و تا حد زیادی مشکلات این دو تکنولوژی را حل کرد. تکنولوژی DTL هم از نظر میزان برون‌دهی (FO) و هم از نظر حاشیه نویز(NM) بسیار بهتر از دو تکنولوژی RTL و RDL عمل می‌کند، اما از نظر میزان تأخیر انتشار، وضعیت چندان مناسبی ندارد. علت اصلی زیاد بودن تأخیر انتشار در این تکنولوژی به ۲ مسئله اساسی برمی‌گردد که این‌دو عبارتند از:

الف) کم بودن جریان موردنیاز جهت تخلیه جریان بیس ترانزیستور خروجی:

همان‌طورکه در مدار اصلاح شده تکنولوژی DTL مشاهده نمودیم، ترانزیستور طبقه خروجی به شکل زیر می‌باشد. در حالتی‌که ارتباط منبع تغذیه با بیس ترانزیستور خروجی قطع می‌شود، بایستی بار ذخیره شده در خازن‌های پارازیتی ترانزیستور سریعاً تخلیه شود.

www.modaresanesharif.ac.ir

جریان گذرنده از مقاومت R_2 که نهایتاً منجر به تخلیه خازن پارازیتی BE ترانزیستور می‌شود، معادل $\frac{V_{BE(act)}}{R_2}$ است. این جریان نسبت به جریان ورودی به بیس ترانزیستور بسیار ناچیز است. بنابراین خازن پارازیتی BE ترانزیستور با سرعت بسیار کمی تخلیه شده و اجازه تغییر وضعیت فوری ترانزیستور به ناحیه قطع را نمی‌دهد.



ترانزیستور طبقه خروجی در تکنولوژی DTL

ب) زمان‌بر بودن شارژ خازن بار C_L در کلکتور ترانزیستور خروجی:

خازن بار نیز همچون خازن‌های پارازیتی موجود بین جفت پایه‌های ترانزیستور BJT ، یک خازن ناخواسته است که در نتیجه سیم‌کشی خروجی مدار به ورودی طبقات بعدی به وجود می‌آید. مقدار این خازن به عوامل مختلفی هم‌چون میزان ظرفیت ورودی طبقه بعد و میزان و شیوه سیم‌کشی بین طبقات ارتباط دارد.

مجدداً حالت ذکر شده در بند «الف» را در نظر بگیرید. در این حالت ترانزیستور خروجی باید قطع شود و خروجی از طریق منبع تغذیه V_{CC} به ارزش H برسد. خاموش شدن تدریجی ترانزیستور که در بند «الف» بررسی شد، نمی‌تواند بلافاصله منجر به H شدن ولتاژ خروجی گردد. زیرا با قطع شدن ترانزیستور خروجی، خازن بار C_L شروع به شارژ شدن از طریق منبع تغذیه نموده و تکمیل عمل شارژ خازن در مدت زمانی معادل $\tau = R_C C_L$ صورت می‌گیرد.

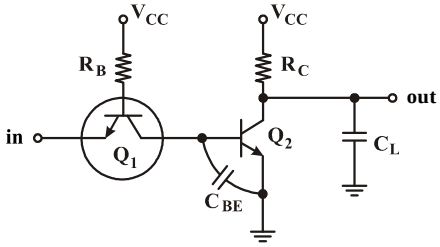
توضیحات ارائه شده در بندهای «الف» و «ب» نشان می‌دهد در مجموع میزان تأخیر انتشار مدارات DTL زیاد است و خروجی مدارات DTL به کندی H می‌شود. این در حالی است که L شدن خروجی در این مدارات با سرعت بیشتری اتفاق می‌افتد. زیرا در این وضعیت اولاً مسیر منبع تغذیه تا بیس ترانزیستور خروجی فعال بوده و خازن‌های پارازیتی نظیر C_{BE} به‌سرعت شارژ می‌شوند و ثانیاً خازن بار نیز متناسب با مقدار جریان کلکتور ترانزیستور خروجی ($I_C = \beta . I_B$) دشارژ شده و خروجی به‌سرعت به مقدار L منطقی می‌رسد.

نکته ۱: میزان تأخیر انتشار مدارات الکترونیک دیجیتال به‌سرعت شارژ و دشارژ خازن‌های پارازیتی مدار بستگی دارد.

تکنولوژی TTL ابتدا مبتنی بر تکنولوژی DTL ارائه گردید و کارایی آن را از جهات مختلف نظیر میزان برون‌دهی (FO)، تأخیر انتشار و مساحت تراشه بهبود بخشید. هسته اصلی مدارات در تکنولوژی TTL همانند تکنولوژی DTL است، اما ساختار ورودی و خروجی مدار در این تکنولوژی متفاوت است.

تفاوت طبقه ورودی تکنولوژی TTL با DTL این است که دیود ورودی به ترانزیستور ورودی تبدیل شده است. آرایش این ترانزیستور به‌صورت بیس مشترک می‌باشد، به این ترتیب که ولتاژ ورودی به پایه امیتر ترانزیستور اعمال شده و خروجی از پایه کلکتور آن دریافت می‌شود. شکل زیر، طبقه ورودی مدارات TTL را نشان می‌دهد.

چنین ساختاری چند فایده بسیار مهم دارد. نخست آنکه، اعمال ورودی به پایه امیتر ترانزیستور باعث می‌شود در حالت $in = H$ این ترانزیستور قطع بوده و جریان ورودی صفر گردد. بنابراین میزان برون‌دهی (FO) مدار در این شرایط بی‌نهایت است.

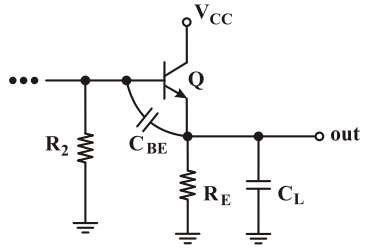


ترانزیستور طبقه ورودی با آرایش بیس مشترک در تکنولوژی TTL

دومین ویژگی ترانزیستور طبقه ورودی این است که با روشن شدن این ترانزیستور و قرار گرفتن در ناحیه فعال، جریان $I_{C_1} = \beta I_{B_1}$ از کلکتور آن به‌سمت امیتر جاری می‌شود که مقدار این جریان زیاد بوده و به‌سرعت باعث تخلیه خازن پارازیتی C_{BE} در ترانزیستور Q_2 و نهایتاً قطع شدن فوری این ترانزیستور می‌شود.

بنابراین مسئله «الف» که در مورد خازن‌های پارازیتی تکنولوژی DTL مطرح شد، در تکنولوژی TTL تا حدی حل شده و میزان تأخیر انتشار مدار کاهش یافته است.

طبقه خروجی تکنولوژی TTL نیز کاملاً متفاوت با تکنولوژی DTL است. با توجه به اینکه در مسئله «ب» به زمان‌بر بودن شارژ خازن بار C_L در خروجی مدارات DTL اشاره شد، به‌نظر می‌رسد احتمالاً راه‌حل این باشد که خروجی مدار را به‌جای پایه کلکتور، از پایه امیتر بگیریم. با اعمال این تغییر در خروجی ساختارهای تکنولوژی DTL، طبقه خروجی به‌صورت زیر در خواهد آمد. لازم به ذکر است آرایش ترانزیستور خروجی در ساختار قبل به‌صورت امیتر مشترک بود که در این ساختار، به فرم کلکتور مشترک تبدیل شده است.



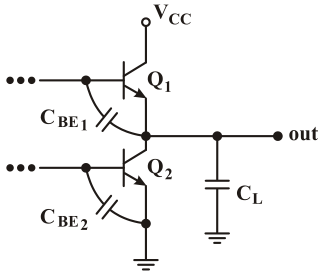
ترانزیستور طبقه خروجی با آرایش کلکتور مشترک در تکنولوژی DTL

www.modaresanesharif.ac.ir

ضمن توجه به این نکته که منطق خروجی مدار با تغییر فوق، دیگر معادل وارون ضابطه منطقی طراحی شده در مدار نخواهد بود، باید اذعان کنیم طراحی فوق نیز از نظر تأخیر زمانی ناکارآمد است. این ناکارآمدی زمانی قابل لمس است که خازن بار خروجی (C_L) به‌علت قطع شدن ترانزیستور خروجی، شروع به دشارژ شدن از طریق مقاومت R_E می‌نماید. این عمل در بازه زمانی نسبتاً بزرگی معادل $\tau = R_E C_L$ اتفاق می‌افتد و با تأخیر خروجی را L می‌کند. بنابراین همان‌طور که در حالت قبل H شدن خروجی پدیده‌ای زمان‌بر محسوب می‌شد، در حالت جاری نیز L شدن خروجی دچار چنین تأخیری می‌شود. البته توجه به این نکته ضروری است که در ترکیب جدید H شدن خروجی با سرعت بیشتری اتفاق می‌افتد. زیرا اولاً به‌علت روشن بودن ترانزیستور خروجی و اتصال مستقیم بیس این ترانزیستور به منبع تغذیه، خازن‌های پارازیتی نظیر C_{BE} به‌سرعت شارژ می‌شوند و ثانیاً خازن بار نیز متناسب با مقدار جریان امیتر ترانزیستور خروجی $(I_E = (\beta+1).I_B)$ شارژ می‌گردد.

نتایج فوق نشان می‌دهد برای حل مشکل زیاد بودن تأخیر انتشار مدارات DTL، ترکیب دو ساختار امیتر مشترک و کلکتور مشترک می‌تواند مناسب‌ترین راه‌حل باشد. این ساختار همان آرایشی است که برای خروجی مدارات TTL به‌کار می‌رود.

شکل مقابل، هسته اصلی طبقه خروجی مدارات TTL را نشان می‌دهد. همان‌طور که در شکل نیز دیده می‌شود، خروجی مدارات TTL هم دارای ترانزیستور امیتر مشترک و هم دارای ترانزیستور کلکتور مشترک می‌باشد.



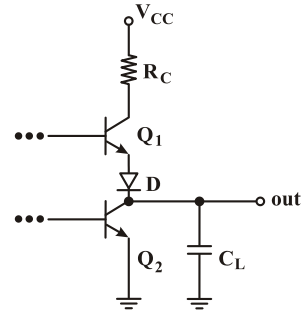
هسته اصلی طبقه خروجی مدارات TTL

در ساختار فوق، همیشه یکی از ترانزیستورهای Q_1 و Q_2 قطع و دیگری اشباع است. اگر Q_1 قطع و Q_2 اشباع باشد، ولتاژ منبع تغذیه به بیس Q_2 رسیده و باعث شارژ سریع خازن پارازیتی C_{BE_2} و حذف اثر مخرب آن در مدار می‌شود. از سوی دیگر روشن شدن Q_2 باعث تخلیه سریع خازن C_L و L شدن خروجی می‌گردد. اما درصورتی‌که Q_1 اشباع و Q_2 قطع باشد، این‌بار خازن مخرب C_{BE_1} از مسیر اتصال منبع تغذیه به بیس Q_1 سریعاً شارژ شده و از مدار حذف می‌شود. خازن بار C_L نیز از طریق امیتر Q_1 به‌سرعت پر می‌شود. بنابراین خروجی در این حالت با حداقل تأخیر ممکن، H می‌شود.

طبقه خروجی مدارات TTL با نام طبقه توتم‌پل (totem pole) شناخته می‌شود و مطابق تحلیل فوق دارای تأخیر انتشار ناچیز در L و H شدن خروجی می‌باشد. مهم‌ترین ویژگی این طبقه استفاده از ترانزیستورهای BJT در بخش‌های بالاکش (pull up) و پایین‌کش (pull down) مدار است. به این نوع طبقات pu و pd، بالاکش فعال و پایین‌کش فعال اطلاق می‌گردد. زیرا عملکرد هر دو این بخش‌ها به نحوه فعالیت ترانزیستورها بستگی دارد. در مقابل، المان مقاومت المانی غیرفعال است که با شیوه استفاده از آن در بخش‌های pu و pd مدارات تکنولوژی RDL، RTL وDTL آشنا شدیم.

استفاده از المان مقاومت در مدارات الکترونیک دیجیتال علاوه‌بر تحمیل تأخیر زمانی ناخواسته به مدار، می‌تواند مساحت آن را نیز به‌شدت افزایش دهد. استفاده از دیودها در طراحی نیز چنین وضعیتی دارد. زیرا سطح مقطع اشغال شده توسط مقاومت و دیود در طراحی بسیار زیاد است.

بنابراین غیرفعال بودن المان مقاومت در طبقات pu و pd، بالا بودن میزان تأخیر انتشار، پایین بودن میزان برون‌دهی (FO) و اشغال مساحت بالا در طراحی به‌عنوان مهم‌ترین دلایل ناکارآمدی تکنولوژی‌هایی نظیر RDL، RTL و DTL مطرح هستند. طبقه توتم‌پل هر دو نقص نامبرده را با جایگزینی ترانزیستور به‌جای مقاومت رفع نموده است. ساختار اصلی و کامل این طبقه در خروجی مدارات TTL به فرم مقابل می‌باشد.



ساختار کامل طبقه خروجی توتم پل در مدارات TTL

همان‌طور که در شکل نیز دیده می‌شود، علاوه بر ترانزیستورهای pu و pd، المان‌های دیگری نظیر مقاومت R_C با مقدار ناچیز و دیود D نیز در طبقه توتم پل دیده می‌شوند که بایستی نقش آنها در عملکرد این طبقه مشخص شود. دلیل استفاده از مقاومت R_C در ترانزیستور بالاکش، اعمال محدودیت در مقدار جریان گذرنده از طبقه توتم پل است. نقش دیود D در طبقه توتم نیز عبارتست از: جلوگیری از روشن شدن همزمان ترانزیستورهای Q_1 و Q_2.

در ساختار قبلی به این نکته اشاره شد که مهم‌ترین خاصیت طبقه توتم پل، فعالیت حداکثر یک ترانزیستور در دو طبقه pu و pd می‌باشد. در فرم تکمیل شده اخیر، روشن شدن Q_2 منجر به کاهش ولتاژ کلکتور آن شده و این ولتاژ ناچیز با ولتاژ دو سر دیود D جمع می‌شود و در پایه امیتر ترانزیستور Q_1 حاضر می‌گردد. بنابراین ولتاژ موردنیاز جهت روشن شدن Q_1 افزایش یافته و از روشن شدن ناگهانی این ترانزیستور با نویزهای ناخواسته جلوگیری به‌عمل می‌آید. لازم به‌ذکر است که خازن بار C_L از مسیر Q_1 و D شارژ و از مسیر Q_2 دشارژ می‌شود.

www.modaresanesharif.ac.ir

درسنامه (۲): تکنولوژی‌های NMOS و CMOS ایستا

در فصل قبل با مدارات پایه چند تکنولوژی معروف مبتنی بر MOSFETها آشنا شدیم. این تکنولوژی‌ها عبارتند از :

۱ـ NMOS مقاومتی ۲ـ NMOS افزایشی ۳ـ شبه NMOS ۴ـ NMOS تخلیه‌ای ۵ـ CMOS

مدار پایه تکنولوژی‌های فوق دارای یک **طبقه ترانزیستوری پایین‌کش** و یک **طبقه ترانزیستوری یا مقاومتی بالاکش** می‌باشد. طبقه پایین‌کش هم از نظر وضعیت ترانزیستور در نواحی مختلف VTC و هم از نظر نحوه اتصال پایه‌ها به دیگر قسمت‌های مدار در تمامی این تکنولوژی‌ها مشابه است. این طبقه محل اعمال ورودی به مدار می‌باشد و قادر است با ورود برخی ترکیبات، خروجی را به سمت زمین هدایت کند. در این بخش خواهیم دید چگونه با توسعه طبقه پایین‌کش یک مدار پایه، می‌توان مدارهای ترکیبی چند ورودی با ضوابط مختلف را طراحی نمود.

در میان ۵ تکنولوژی فوق، طبقه **بالاکش** ۴ مورد اول انعطاف چندانی ندارد و فقط به کمک **۱مقاومت (در تکنولوژی NMOS مقاومتی) یا ترانزیستور افزایشی نوع n یا p (در تکنولوژی‌های NMOS افزایشی و شبه NMOS) و یا ترانزیستور تخلیه‌ای (در تکنولوژی NMOS تخلیه‌ای)** طراحی می شود اما در مورد CMOS این‌چنین نیست. طبقه بالاکش یک مدار CMOS چند ورودی مانند طبقه پایین‌کش آن به عنوان محل اعمال ورودی‌ها ایفای نقش می‌کند و مسیر اتصال خروجی به منبع V_{DD} را کنترل می‌نماید.

طراحی مدارات ترکیبی به کمک تکنولوژی‌های فوق مبتنی بر اصولی است که در این قسمت به بررسی آنها می‌پردازیم:

۱) در طبقه پایین‌کش تمام تکنولوژی‌های مذکور می‌بایست معکوس ضابطه مدار را پیاده‌سازی نماییم. زیرا به دست که گفته شد طبقه پایین‌کش تأمین‌کننده **مسیر خروجی تا زمین مدار (صفر منطقی)** می‌باشد و دربرگیرنده **ماکسترم‌های تابع منطقی** موردنظر است. در واقع منطق به‌کار رفته در این شیوه مبتنی بر یک کردن خروجی از طریق طبقه بالاکش به‌صورت پیش‌فرض و اعمال ورودی‌ها جهت صفرکردن آن است. البته این منطق در CMOS به شکل دیگری مورد استفاده قرار گرفته است که در مورد آن مفصل صحبت خواهد شد. بنابراین اولین قدم در طراحی مدارات منطقی به کمک تکنولوژی‌های فوق، به دست آوردن **معکوس ضابطه تابع** و پیاده‌سازی آن با ترکیبات ترانزیستوری طبقه پایین‌کش است. طبقه بالاکش چهار تکنولوژی مبتنی بر NMOS نیز همیشه ثابت و مشخص می‌باشد. البته در هنگام تحلیل یک مدار ترکیبی نیز می‌بایست ضابطه به‌دست آمده از طبقه پایین‌کش را معکوس نماییم و تکنولوژی به کار رفته در طراحی مدار را نیز با توجه به قسمت بالاکش مشخص کنیم.

۲) جهت پیاده‌سازی ضابطه یک تابع منطقی در طبقه پایین‌کش باید به ازای هریک از گیت‌های AND از یک اتصال سری و به ازای هریک از گیت‌های OR از یک اتصال موازی بین ترانزیستورهای نوع n استفاده نماییم. این همان قانونی است که در تکنولوژی‌های PTL و TG نیز به کار می‌رفت. علاوه بر این موارد، در صورت برخورد با گیت NOT نیز می‌بایست با استفاده از مدار پایه تکنولوژی مربوطه NOT را بسازیم.

۳) در مورد طراحی مدارات CMOS روند کار به این شکل است که پس از طراحی قسمت پایین‌کش با توجه به معکوس ضابطه داده شده، می‌بایست طبقه بالاکش را نیز با توجه به طبقه پایین‌کش تکمیل کنیم. برای طراحی طبقه بالاکش لازم است **دوگان (Dual)** طبقه پایین‌کش به دست آید و با اعمال ورودی‌های مدار به آن، این قسمت بین منبع V_{DD} و خروجی قرار گیرد. منظور از رسم دوگان مدار، **تبدیل ترانزیستورهای نوع n به نوع p و برعکس** و نیز **تبدیل اتصالات سری به موازی و برعکس** می‌باشد.

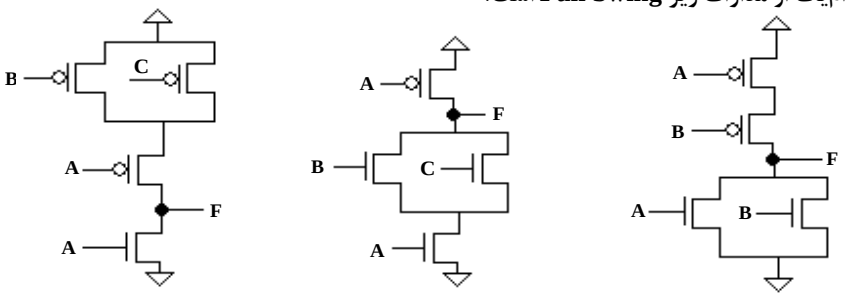
توجه به ۲ نکته در رسم دوگان مدار ضروری است:

۱) ترانزیستورهای معادل قسمت پایین‌کش و دوگان آن، **ورودی یکسان** دارند. این موضوع نشان می‌دهد که دو طبقه بالاکش و پایین‌کش مدارهای CMOS به هم وابسته‌اند و فعالیت هر ترانزیستور در یکی از این دو طبقه معادل قطع شدن ترانزیستوری در طبقه دیگر است (و برعکس).

۲) **خروجی هیچ‌گاه در حالت اتصال باز قرار نمی‌گیرد** و همیشه با ایجاد مسیری مستقیم، به یکی از دو نقطه زمین یا منبع V_{DD} (و نه به هر دو) متصل می‌شود. به همین دلیل خروجی مدار در حالت H و L دقیق بوده و دچار هیچ افت و خیزی نمی‌شود (یعنی $V_{OL} = GND$ و $V_{OH} = V_{DD}$). بنابراین منطق به کار رفته در طراحی مدارات CMOS یک **منطق Full Swing (دو حالته کامل)** است. بدین معنی که خروجی همیشه **یکی از دو مسیر منتهی به زمین یا منبع V_{DD}** را در پیش روی خود می‌بیند و مقدار دقیق **صفر یا یک** را (به ترتیب) اختیار می‌کند. به مداری که هیچ مسیری متشکل از کانال ترانزیستورها بین زمین و منبع ایجاد نمی‌کند، مدار Full Swing گفته می‌شود، اگر غیر از این باشد سطوح ولتاژ دیگر نمی‌توانند حداکثر یا حداقل باشند.

www.modaresanesharif.ac.ir

مثال۱۹: کدام‌یک از مدارات زیر Full Swing است؟



(۱) (۲) (۳) ۴) هر سه مورد

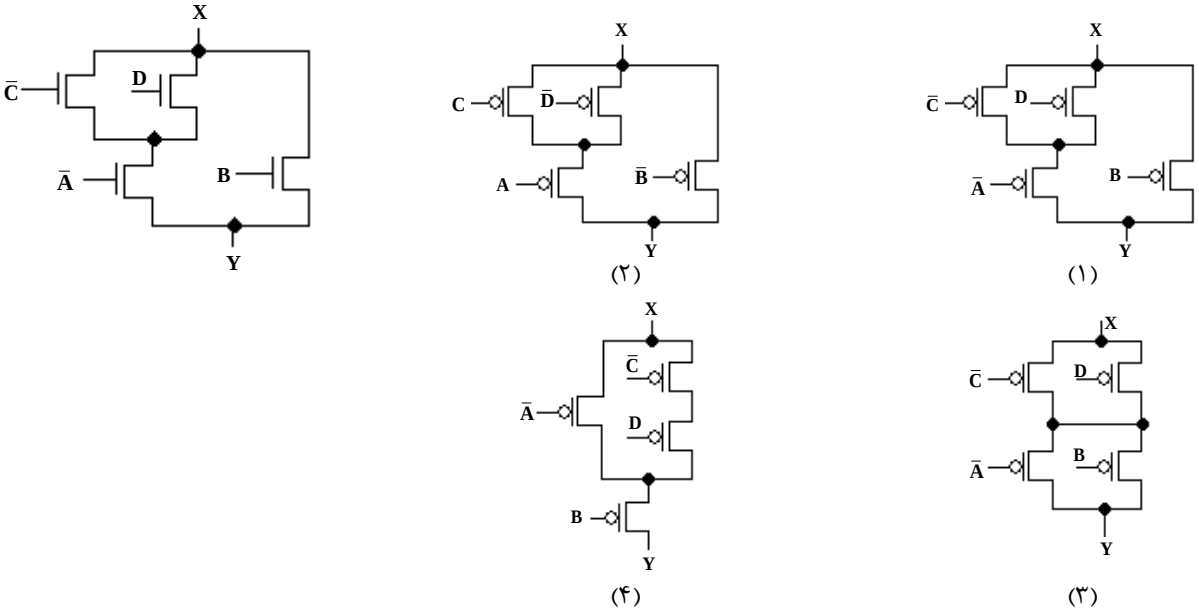
☑ **پاسخ:** گزینه «۱» در گزینه ۱ به ازای $A=B=0$ مسیر خروجی تا منبع و به ازای دیگر آرایش‌های ورودی، مسیر خروجی تا زمین برقرار می‌باشد. در گزینه ۲ و ۳ با وجود اینکه استفاده از ترانزیستورهای نوع n و p با ورودی مشابه A در مسیر اتصال خروجی به زمین و منبع باعث شده است که این دو مسیر کاملاً از هم مجزا شده، خروجی از جهت ولتاژ H و L در وضعیت ایده‌آل قرار گیرد اما عملاً می‌توان با حالاتی مواجه شد که خروجی در وضعیت اتصال باز قرار می‌گیرد و از زمین و منبع جدا می‌شود. به عنوان مثال در گزینه ۲ با شرط $ABC=100$ و در گزینه ۳ با شرط $ABC=011$ به چنین وضعیتی خواهیم رسید پس این دو مدار Full Swing نیستند.

نکته۷: مداری Full Swing است که دو شرط زیر را داشته باشد:

الف) خروجی هیچ‌گاه در وضعیت اتصال باز قرار نگیرد.

ب) از میان دو مسیر خروجی تا منبع و خروجی تا زمین تنها یک مسیر در هر لحظه با توجه به آرایش ورودی‌ها برقرار گردد.

مثال۲۰: کدام‌یک از گزینه‌های زیر تأمین‌کننده یک مدار دوگان برای شکل مقابل است؟



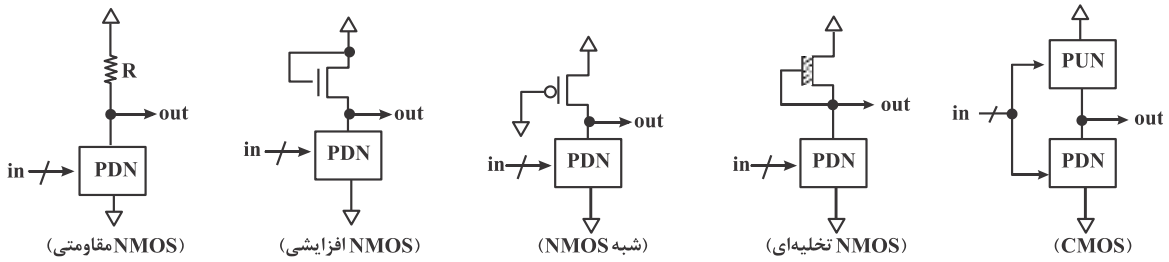
(۱) (۲) (۳) (۴)

☑ **پاسخ:** گزینه «۴» برای رسم دوگان توجه به ۳ نکته الزامی است. نخست اینکه باید اتصالات سری و موازی به یکدیگر تبدیل شوند. (رد گزینه‌های ۱ و ۲ و ۳) نکته دوم تبدیل ترانزیستورهای نوع n و p به یکدیگر می‌باشد (که در تمامی گزینه‌ها رعایت شده) . سومین نکته هم این است که ورودی ترانزیستورهای مدار اصلی و دوگان آن می‌بایست مشابه باشند (رد گزینه ۲). مدار داده شده در مسئله دارای یک اتصال موازی بین $\overline{C}$ و D ، یک اتصال سری بین $\overline{A}$ و مجموعه $\overline{C}$ و D و نهایتاً یک اتصال موازی بین B و مجموعه $\overline{A}$ و $\overline{C}$ و D می‌باشد. این اتصالات به ترتیب ذکر شده باید به دوگان خود تبدیل شوند و در مدار قرار گیرند. ورودی ترانزیستورها در مدار اصلی و دوگان یکسان هستند.

پس از توضیح دو مفهوم دوگان مدار و مدار Full Swing نوبت به بررسی نحوه طراحی مدارات ترکیبی در تکنولوژی‌های مختلف می‌رسد. در این قسمت قصد داریم با ذکر یک مثال از مدارهای ترکیبی و طراحی آن به کمک تکنولوژی‌های مختلف با روند کار آشنا شویم. فرض کنید **می‌خواهیم یک مالتی پلکسر ۲ به ۱ با ورودی‌های A و B و خط انتخاب S طراحی نماییم. خروجی F در این تراشه با صفر بودن S ، اطلاعات A و با یک بودن S ، اطلاعات B را می‌پذیرد. بنابراین ضابطه خروجی آن به شکل $F=\overline{S}A+SB$ می‌باشد.**

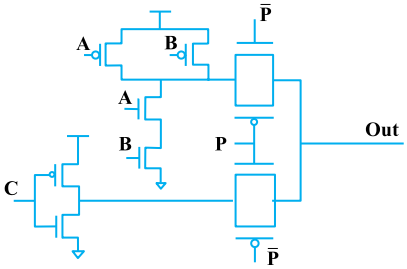
www.modaresanesharif.ac.ir

همان‌طور که قبلاً اشاره شد، برای طراحی ضابطه یک مدار ترکیبی در تکنولوژی‌های مبتنی بر MOS می‌بایست آن را معکوس نموده، با تبدیل AND و OR به **اتصالات سری و موازی** شبکه پایین‌کش مدار را طراحی نماییم. سپس با افزودن طبقه بالاکش مناسب در تکنولوژی‌های مبتنی بر NMOS و یا به دست آوردن **دوگان مدار** در تکنولوژی CMOS ادامه طراحی را در قسمت **بالاکش** دنبال نماییم. شکل زیر قالب کلی مدار ترکیبی مربوط به تکنولوژی‌های مختلف را نشان می‌دهد. منظور از PDN و PUN به ترتیب شبکه **پایین‌کش** و **بالاکش** مدار می‌باشد.



قالب کلی مدارات ترکیبی مبتنی بر تکنولوژی NMOS و CMOS

مثال۲۱: مدار زیر چه تابعی را پیاده‌سازی می‌کند؟ (سراسری ۱۴۰۲)



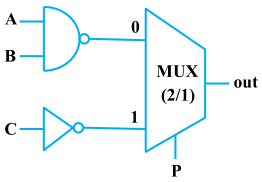
۱) $Out = (A \oplus B).P$

۲) $Out = P + \overline{A.B}.C$

۳) $Out = \bar{C}P + (\bar{A} + \bar{B}).\bar{P}$

۴) $Out = (\bar{C} + P).A + \overline{A.B}$

☑ **پاسخ:** گزینه «۳» این ساختار مربوط به یک مالتی پلکسر (۱ / ۲) تکنولوژی TG با خط انتخاب P است که ورودی‌های آن دروازه‌های NAND و NOT تکنولوژی CMOS هستند و ضابطه خروجی out به‌صورت زیر به‌دست می‌آید:

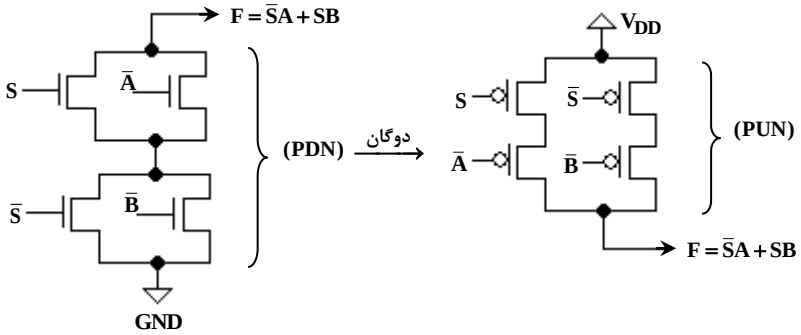


$$out = \bar{P}(\overline{AB}) + P\bar{C} = \bar{C}P + (\bar{A} + \bar{B})\bar{P}$$

حال قصد داریم طراحی بخش PDN مالتی پلکسر ۲ به ۱ را انجام دهیم. همان‌طور که اشاره شد، معکوس ضابطه خروجی را به دست می‌آوریم:

$$F = \bar{S}A + SB \xrightarrow{(NOT)} \bar{F} = \overline{(\bar{S}A + SB)} = \overline{(\bar{S}A)} \,.\, \overline{(SB)} = (S + \bar{A}) \,.\, (\bar{S} + \bar{B})$$

بدین ترتیب بخش PDN **حاصل AND** دو پرانتز است که در شکل ترانزیستوری به صورت اتصال سری دو مجموعه ترانزیستوری دیده می‌شود. علاوه بر این در هر پرانتز نیز یک **عمل OR** دیده می‌شود که باید در مدار به اتصال موازی مجموعه‌های ترانزیستوری مبدل گردد. بنابراین طبقه PDN که بین خروجی و زمین قرار می‌گیرد، به صورت روبرو است:



در ادامه به طبقه PUN می‌رسیم که در تکنولوژی‌های مبتنی بر NMOS معادل با یک المان مقاومتی یا ترانزیستوری است و در تکنولوژی CMOS دوگان طبقه PDN است. برای یافتن دوگان PDN باید اتصال‌های موازی $(S, \bar{A})$ و $(\bar{S}, \bar{B})$ را به اتصال سری PMOSها تبدیل نموده، سپس اتصال سری بین این دو مجموعه را به شکل موازی ترسیم نماییم. حاصل این کار طبقه PUN است. شکل زیر نحوه طراحی یک مالتی پلکسر ۲ به ۱ را در تکنولوژی‌های مبتنی‌بر NMOS و CMOS نشان می‌دهد.

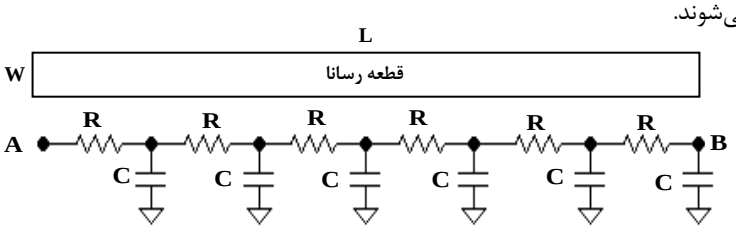
www.modaresanesharif.ac.ir

درسنامه (۲): تأخیر مدارات دیجیتال

تأخیر در مدل RC(RC-Delay)

همان‌طور که می‌دانید اتصالات میانی موجود در مدارات ترانزیستوری به دلیل داشتن خاصیت مقاومتی و تشکیل خازن با لایه‌های مجاور می‌توانند یک **مدل پارازیتی به‌صورت شبکه‌ای از مقاومت و خازن** ایجاد نمایند و باعث **افزایش تأخیر مدار** گردند. شکل زیر نمایی کلی از این شبکه را نمایش می‌دهد. البته لازم به ذکر است که اتصالات میانی مدارات فشرده امروزی را می‌توان به سادگی با شبکه گسترده‌ای از مقاومت و خازن به صورت زیر معادل‌سازی کرد. این الگو یک تقریب مرتبه اول برای پیش‌گویی تأخیرهای موجود در شبکه‌های ارتباطی درون تراشه می‌باشد.

برای آنکه ارتباط میزان تأخیر مدارات RC با اندازه R و C را به‌دست آوریم، می‌توانیم در ساده‌ترین شکل ممکن فرض کنیم اتصال زیر فقط شامل یک مقاومت R و یک خازن C می‌باشد. در این حالت میزان **تأخیر شارژ و دشارژ** خازن از رابطه $\tau = RC$ به‌دست می‌آید. حال اگر پارامترهای R و C را با رابطه ذکر شده برای آنها جایگزین کنیم، عوامل موثر در τ بهتر دیده می‌شوند.



$$\begin{cases} R = \dfrac{\rho}{t}\cdot\dfrac{L}{W} \\ C = \dfrac{\varepsilon_\circ \varepsilon_r (W\cdot L)}{d} \end{cases} \Rightarrow \tau = R\cdot C = \frac{\rho \varepsilon_\circ \varepsilon_r}{t.d}(L^2)$$

مدل RC در یک اتصال رسانا به‌طول L و عرض W

حال اگر مجدد فرض کنیم شبکه‌ای از مقاومت و خازن مشابه شکل فوق در اختیار داریم و ورودی به سمت چپ آن اعمال و خروجی از سمت راست دریافت گردیده است، می‌توانیم رابطه مقابل را برای ولتاژ خروجی V_O بنویسیم:

$$RC\frac{dV_O}{dt} = \frac{d^2V_O}{dL^2}$$

در این رابطه **L طول شبکه، R مقاومت در واحد طول، C خازن در واحد طول و t زمان شارژ و دشارژ کل خازنهای مدار** و رسیدن آن به حالت پایدار می‌باشد. با انتگرال‌گیری از رابطه فوق به معادله مقابل می‌رسیم:

$$RC\frac{V_O}{t} = \frac{2V_O}{L^2} \rightarrow t = \frac{RCL^2}{2}$$

مثال۸: قطعه‌ای نیمه هادی به طول ۵۰μm و عرض ۵μm به شکل طولی در مسیر عبور جریان قرار گرفته است. تأخیر ناشی از این قطعه به صورت یکپارچه نسبت به حالتی که آن را به ۸ قسمت مساوی تقسیم کنیم، چقدر است؟

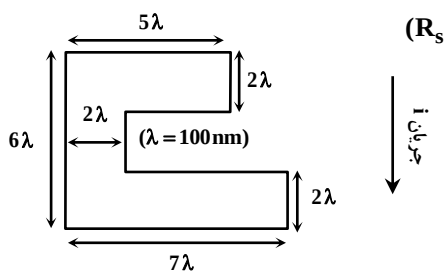
$$\begin{cases} R_{unit} = 4\Omega \\ C_{unit} = 8\dfrac{nF}{\mu m^2} \end{cases}$$

۱) ۸ ۲) ۸۰۰ ۳) ۱۲۵ ۴) ۱۲/۵

پاسخ: گزینه «۱» تأخیر حالت پیوسته را t_1 و تأخیر حالت چند تکه را t_2 می‌نامیم. توجه به این نکته ضروری است که در حالت چند تکه مقاومت قسمت‌های مختلف با هم سری و خازن آنها با هم موازی است. بنابراین تأخیر t_2 حاصل جمع تأخیر قسمت‌های مختلف قطعه می‌باشد:

$$\left.\begin{aligned} t_1 &= \frac{RCL^2}{2} = \frac{4\times(8\times10^{-9})\times(50)^2}{2} = 4\times10^{-5}\,(s) \\ t_2 &= \frac{8RC(L')^2}{2} = \frac{8\times4\times(8\times10^{-9})\times(\frac{50}{8})^2}{2} = 5\times10^{-6}\,(s) \end{aligned}\right\} \rightarrow \frac{t_1}{t_2} = \frac{4\times10^{-5}}{5\times10^{-6}} = \boxed{8}$$

مثال۹: تأخیر لایه پولی مقابل چقدر است؟ $\left(R_s = 10^5\,\Omega\,,\ C_{side} = 20\frac{fF}{mm}\,,\ C_{area} = 50\frac{fF}{mm^2}\right)$



۱) ۵۰۰ns
۲) ۱۱ps
۳) ۱۶۰ps
۴) ۰/۲ns

www.modaresanesharif.ac.ir

☑ **پاسخ:** گزینه «۲» با تقسیم لایه مقابل به ۳ لایه کوچکتر و بررسی مقاومت و خازن هر لایه می‌توانیم تأخیر کل را به دست آوریم:

$$R = R_1 + R_2 + R_3 = R_S\left(\frac{L_1}{W_1} + \frac{L_2}{W_2} + \frac{L_3}{W_3}\right) = 10^5\left(\frac{2}{5} + \frac{2}{2} + \frac{2}{7}\right) = \boxed{1/68\times10^5\ (\Omega)}$$

محاسبه خازن کناری و سطحی لایه فوق به‌صورت زیر انجام می‌شود:

$$C = C_{side} + C_{area} = \left(20\times\frac{10^{-15}}{10^{-3}}\right)(6\lambda + 5\lambda + 2\lambda + 3\lambda + 2\lambda + 5\lambda + 2\lambda + 7\lambda)$$

$$+\left(50\times\frac{10^{-15}}{10^{-6}}\right)[(5\lambda\times2\lambda) + (2\lambda\times2\lambda) + (7\lambda\times2\lambda)] = (20\times10^{-12})(32\times100\times10^{-9})$$

$$+(50\times10^{-9})(28\times10000\times10^{-18}) = (64\times10^{-18}) + (14\times10^{-21}) = \boxed{64/014\times10^{-18}\ (F)}$$

ضرب R و C بیان‌گر تأخیر نهایی خواهد بود.

$$\tau = RC = (1/68\times10^5)\times(64/014\times10^{-18}) = 107/5\times10^{-13}\ (s) = 10/75\times10^{-12}\ (s) = \boxed{10/75(ps)}$$

همان‌طور که در روابط فوق نیز دیده می‌شود، **میزان تأخیر با توان دوّم طول قطعه متناسب است** و این خبر خوبی نیست. زیرا با افزایش طول یک قطعه هادی یا نیمه هادی میزان تأخیر آن به شدت زیاد می‌شود. به همین دلیل توصیه می‌شود که در طراحی مدارات حتی‌الامکان به منظور کاهش تأخیر انتقال ولتاژ، از **لایه‌های با طول کم و بدون پیچ و تاب** استفاده گردد. ضمناً در مواقعی که مجبوریم از اتصالات طویل استفاده نماییم، بهتر است آنها را به دو یا چند قطعه کوتاه‌تر تقسیم نماییم و سپس با اتصال آنها به هم یک قطعه طویل بسازیم.

در صورت تقسیم یک لایه به طول L به **n قطعه مساوی**، تأخیر کل **n برابر کاهش** می‌یابد:

$$\begin{cases} L \rightarrow \dfrac{L}{n} \\ t \rightarrow \dfrac{t}{n} \end{cases}$$

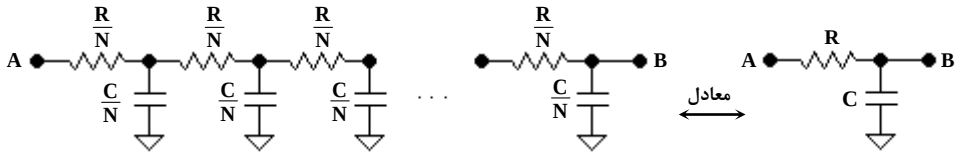
(اثبات) $L_2 = \dfrac{L_1}{n} \rightarrow t_2 = \dfrac{nRCL_2^2}{2} = \dfrac{nRC(\frac{L_1}{n})^2}{2} = \dfrac{RCL_1^2}{2n} = \dfrac{t_1}{n}$

با توجه به توضیحات فوق می‌توان نتیجه گرفت **حداکثر طول مجاز** برای یک قطعه در مداری با خازن معادل C، مقاومت معادل R و تأخیر زمانی τ_g از رابطه زیر به‌دست می‌آید:

$$L_{max} = \sqrt{\frac{2\tau_g}{RC}}$$

(اثبات) $t = \dfrac{RCL^2}{2} \rightarrow L^2 = \dfrac{2t}{RC} \xrightarrow{(t=\tau_g)} L = \sqrt{\dfrac{2\tau_g}{RC}}$

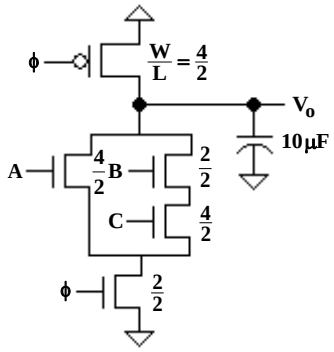
لازم به ذکر است که تأخیر یک شبکه دارای N **مقاومت و N خازن با سایز** $\dfrac{R}{N}$ ، $\dfrac{C}{N}$ (به‌ترتیب)، معادل با مداری دارای یک مقاومت و یک خازن با سایز R **و** C می‌باشد:

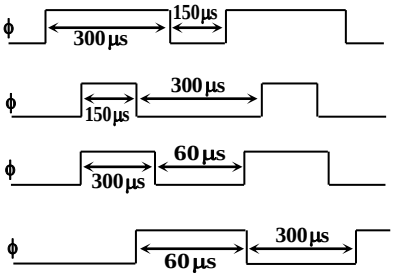


$$\begin{cases} R_{eq}\ (\text{سری}) = \dfrac{R}{N} + \dfrac{R}{N} + \ldots + \dfrac{R}{N} = N(\dfrac{R}{N}) = R \\ C_{eq}\ (\text{موازی}) = \dfrac{C}{N} + \dfrac{C}{N} + \ldots + \dfrac{C}{N} = N(\dfrac{C}{N}) = C \end{cases}$$

www.modaresanesharif.ac.ir

مثال۱۰: با صرف‌نظر از خازن‌های پارازیتی، حداقل عرض قسمت یک و صفر پالس کلاک در مدار زیر چقدر باید باشد؟ $(R_s = ۱۲\Omega)$





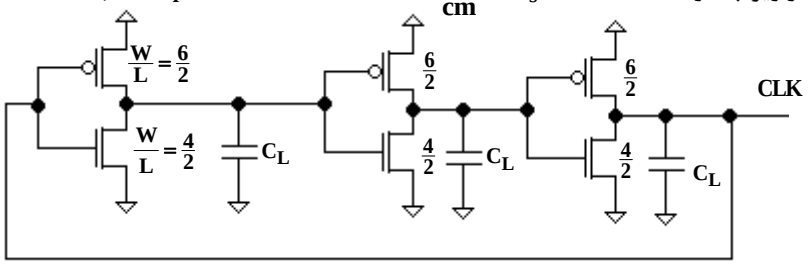
☑ **پاسخ:** گزینه «۲» با توجه به اینکه شارژ خازن از طریق PMOS و دشارژ آن از طریق شبکه PDN انجام می‌شود، می‌بایست مقاومت هر قسمت را حساب کنیم و با ضرب کردن آن در C، به میزان حداقل تأخیر برسیم. توجه به این نکته ضروری است که مقاومت طبقه PDN در مسیر بحرانی (مسیر BC) محاسبه می‌شود. ضمناً محاسبه R_p با یک ضریب ۲/۵ همراه خواهد بود:

$$\begin{cases} R_p = R_s \dfrac{L_p}{W_p} = ۱۲(۲/۵)(\frac{۲}{۴}) = \boxed{۱۵(\Omega)} \\ R_n = R_s(\dfrac{L_۱}{W_۱} + \dfrac{L_۲}{W_۲} + \dfrac{L_۳}{W_۳}) = ۱۲(\frac{۲}{۲} + \frac{۲}{۴} + \frac{۲}{۲}) = \boxed{۳۰(\Omega)} \end{cases}$$

حال با ضرب کردن R_n و R_p در خازن خروجی میزان تأخیر هر طبقه را به دست می‌آوریم:

$$\begin{cases} \tau_p = R_p C = ۱۵(۱۰\times۱۰^{-۶}) = \boxed{۱۵۰(\mu s)} = (\text{عرض پالس High}) \\ \tau_n = R_n C = ۳۰(۱۰\times۱۰^{-۶}) = \boxed{۳۰۰(\mu s)} = (\text{عرض پالس Low}) \end{cases}$$

مثال۱۱: فرکانس پالس کلاک تولید شده توسط نوسان ساز زیر چقدر است؟ $(d = ۱۰۰\mu m\ ,\ \varepsilon_r = ۴\ ,\ \varepsilon_\circ = ۸/۸۵\times۱۰^{-۱۴}\ \frac{F}{cm}\ ,\ R_s = ۱۵\Omega)$



۱) $F = ۱۷۹۰\ THz$

۲) $F = ۲۶۹۰\ GHz$

۳) $F = ۱۵۶۰\ GHz$

۴) $F = ۱۳۸۰\ THz$

$(W_p = 6\mu m\ ,\ L_p = L_n = 2\mu m\ ,\ W_n = 4\mu m\ ,\ C_L = 5\times10^{-18}\,F)$

☑ **پاسخ:** گزینه «۴» ابتدا باید با در نظر گرفتن مقاومت PMOS و NMOS و خازن پارازیتی آنها به همراه خازن خروجی هر طبقه، زمان شارژ و دشارژ یک خازن را پیدا کنیم و سپس به‌دلیل یکسان بودن ابعاد در طبقات مختلف، عدد به‌دست آمده را ۳ برابر کنیم تا دوره تناوب به‌دست آید. با معکوس کردن دوره تناوب، فرکانس نیز محاسبه می‌شود (خازنهای پارازیتی هم در زمان شارژ و هم در زمان دشارژ مؤثرند).

محاسبه مقاومت هر ترانزیستور در NOT:

$$\begin{cases} R_p = R_s \dfrac{L_p}{W_p} = ۱۵(۲/۵)(\frac{۲}{۶}) = ۱۲/۵(\Omega) \\ R_n = R_s \dfrac{L_n}{W_n} = ۱۵(\frac{۲}{۴}) = ۷/۵(\Omega) \end{cases}$$

محاسبه خازن خروجی هر ترانزیستور در NOT:

$$\begin{cases} C_p = \dfrac{\varepsilon_\circ \varepsilon_r L_p W_p}{d} = \dfrac{(۸/۸۵\times۱۰^{-۱۴}\times۴)\times(۲\times۱۰^{-۶}\times۱۰^{۲})\times(۶\times۱۰^{-۶}\times۱۰^{۲})}{(۱۰۰\times۱۰^{-۶}\times۱۰^{۲})} = ۴۲/۵\times۱۰^{-۱۹}\,(F) \\ C_n = \dfrac{\varepsilon_\circ \varepsilon_r L_n W_n}{d} = \dfrac{(۸/۸۵\times۱۰^{-۱۴}\times۴)\times(۲\times۱۰^{-۶}\times۱۰^{۲})\times(۴\times۱۰^{-۶}\times۱۰^{۲})}{(۱۰۰\times۱۰^{-۶}\times۱۰^{۲})} = ۲۸/۳\times۱۰^{-۱۹}\,(F) \end{cases}$$

www.modaresanesharif.ac.ir