مدرسان شریف

فصل اول

«مقدمه‌ای بر مفاهیم الکترونیک دیجیتال»

مقدمه

نخستین فصل کتاب پیش‌رو به بیان نکاتی در خصوص مفاهیم اصلی و کلیدی مربوط به الکترونیک دیجیتال می‌پردازد. این فصل در ابتدا به تعریف و توصیف منطق دودویی (باینری) پرداخته و سیگنال‌های دودویی را بر مبنای این منطق معرفی می‌نماید. سپس مفهومی تحت عنوان مدارات سوئیچینگ را با ذکر مثال‌های متنوع و کاربردی ارائه نموده و به معرفی مشخصات سوئیچ‌های انتزاعی دیجیتال می‌پردازد.

در ادامه این فصل خانواده مدارات دیجیتال معرفی شده و مدارات معکوس‌کننده (وارونگر) و دنبال‌کننده (بافر) پایه دیجیتال به عنوان بستر اصلی آشنایی با این خانواده‌ها ارائه می‌گردد. قسمت پایانی این فصل نیز به مفهوم نمودار مشخصه انتقال ولتاژ (VTC یا Voltage Transfer Characteristic) و سایر مفاهیم مشتق شده از آن نظیر: نقاط بحرانی، حاشیه نویز، توان مصرفی، ظرفیت ورودی و ظرفیت خروجی و تأخیر انتشار پرداخته و نحوه محاسبه این پارامترها را همراه با کاربرد آن‌ها در تحلیل مدارات الکترونیک دیجیتال توضیح می‌دهد.

درسنامه (۱): سیگنال‌ها و مدارات منطقی

منطق دودویی

منظور از منطق دودویی (جبربول) در دنیای دیجیتال، منطق مبتنی بر ۲ مقدار (منطق باینری) است که این دو مقدار عبارتند از ارقام ۰ و۱. دلیل این انتخاب به نحوه ارزش‌گذاری تمامی گزاره‌های قابل تعریف در دنیای دیجیتال برمی‌گردد. از آنجا که هر گزاره اصالتاً می‌تواند صحیح (معادل رقم ۱) و یا ناصحیح (معادل رقم ۰) باشد، بنابراین این دو مقدار می‌توانند پایه مناسبی برای نمایش اطلاعات و محاسبات مربوط به آن‌ها در سیستم‌های دیجیتال باشند.

به هر یک ارقام ۰ یا۱ در منطق دودویی، بیت(bit) گفته می‌شود. بیت کوچک‌ترین واحد نمایش اطلاعات در منطق دودویی است. عمدتاً برای نمایش جزئیات بیشتر اطلاعات دیجیتال از چند بیت در کنار هم استفاده می‌شود. به طور خاص به هر دسته ۸ بیتی اطلاعات، یک بایت (Byte) و به هر دسته ۴ بیتی، اطلاعات یک نیبل (Nibble) اطلاق می‌شود. منطق دودویی متشکل از متغیرهای دودویی (باینری) و عملیات منطقی (بولی) می‌باشد. هر متغیر منطقی با یک حرف انگلیسی (مانند A، B و ...) نمایش داده شده و مقدار آن معادل بیت ۰ یا۱ است. عملیات منطقی اصلی نیز عبارتند از: AND (ترکیب عطفی)، OR (ترکیب فصلی) و NOT (معکوس منطقی). عملیات AND و OR در ساده‌ترین شکل خود شامل ۲ عملوند منطقی بوده و عمل NOT تک‌عملوندی است. با توجه به اینکه عملیات مذکور از نوع منطقی (بولی) می‌باشد، عملوند آن‌ها نیز بایستی به صورت متغیر منطقی باشد.

عملکرد AND منطقی بدین صورت است که روی دو متغیر منطقی عمل می‌کند و حاصل آن تنها زمانی معادل بیت ۱ است که مقدار هر دو عملوند آن برابر با ۱ باشد. در غیر این صورت خروجی این عمل، صفر منطقی خواهد بود. به عبارت دیگر، خروجی عمل AND دو متغیر منطقی زمانی برابر با ۱ است که متغیر اول «و» متغیر دوم معادل ۱ باشند. بنابراین ترجمه کلمه AND می‌تواند نشان‌دهنده عملکرد آن باشد. این عمل در محاسبات دیجیتال به صورت مقابل نمایش داده می‌شود:

$$(A.B) = (AB) = (A \ \text{AND} \ B) = (A \wedge B)$$

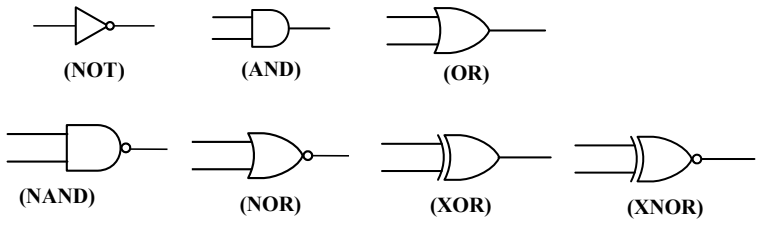
عمل OR منطقی نیز میان دو متغیر منطقی قرار می‌گیرد و حاصل آن تنها زمانی معادل بیت ۰ است که مقدار هر دو عملوند آن برابر با ۰ باشد. در غیر این‌صورت خروجی این عمل، ۱ منطقی خواهد بود. به بیان دیگر، حاصل عمل OR دو متغیر منطقی زمانی برابر با ۱ است که متغیر اول «یا» متغیر دوم برابر با ۱ باشند. بنابراین ترجمه کلمه OR می‌تواند نشان‌دهنده عملکرد آن باشد. این عمل در محاسبات دیجیتال به صورت زیر نمایش داده می‌شود:

$$(A + B) = (A \ \text{OR} \ B) = (A \vee B)$$

عمل تک‌عملوندی NOT مقدار متغیر منطقی را معکوس می‌کند که البته از ترجمه واژه NOT نیز همین مفهوم قابل درک است. این عمل در محاسبات دیجیتال به صورت مقابل نشان داده می‌شود.

$$(\overline{A}) = (A') = (\text{NOT}\, A) = (\neg A)$$

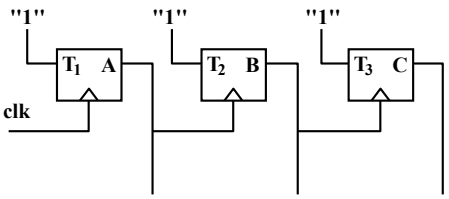
هریک از عملیات منطقی ساده و یا ترکیبی (مانندNAND، NOR، XOR، XNOR و ...) برای استفاده در مدارات منطقی باید مطابق شکل زیر به صورت یک دروازه منطقی (گیت منطقی) با نماد گرافیکی تعریف شده، به کار گرفته شود (درس مدارهای منطقی). برای درک بهتر این سه عمل منطقی معمولاً آن‌ها را به شکل ضرب منطقی (AND)، جمع منطقی (OR) و نقیض منطقی (NOT) نام‌گذاری می‌کنند. با کمی دقت به راحتی می‌توان دریافت که شبیه‌سازی AND و OR منطقی به ترتیب با عملیات ضرب و جمع بی‌دلیل نیست! برای وضوح بیشتر موضوع در شکل زیر با رسم جدولی به نام جدول صحت (درستی) عملکرد این عملیات را در مقایسه با عبارات ضرب و جمع و نقیض منطقی نشان می‌دهیم.



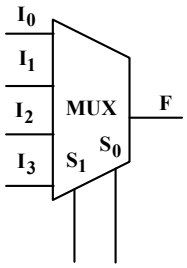
A B	A AND B	A OR B	NOT A
۰ ۰	۰.۰ = ۰	۰ + ۰ = ۰	$\overline{۰} = ۱$
۰ ۱	۰.۱ = ۰	۰ + ۱ = ۱	$\overline{۰} = ۱$
۱ ۰	۱.۰ = ۰	۱ + ۰ = ۱	$\overline{۱} = ۰$
۱ ۱	۱.۱ = ۱	۱ + ۱ = ۱	$\overline{۱} = ۰$

نماد گرافیکی گیت‌های منطقی و جدول صحت عملیات منطقی

چنانکه مشاهده می‌شود، جدول صحت تمامی ترکیبات منطقی ممکن روی متغیرهای A و B را در نظر گرفته و به ازای هر ترکیب منطقی متغیرهای ورودی، به اعلام خروجی عمل مربوطه می‌پردازد. در مورد جدول صحت عمل OR توجه به این نکته ضروری است که حاصل OR دو بیت ۱ معادل بیت ۱ خواهد شد (یعنی ۱=۱+۱ که البته این گزاره با گزاره‌های محاسباتی دنیای دهدهی کمی متفاوت است). بنابراین معادل عمل OR در محاسبات دهدهی عبارت است از جمع حسابی که قطعاً در درس مدارهای منطقی با آن آشنا شده‌اید. در جمع حسابی دو بیت ۱ حاصل معادل عدد دهدهی ۲ و یا عدد دو دویی ۱۰ خواهد بود. نکته حائز اهمیت در منطق دودویی این است که ساده‌ترین شکل پیاده‌سازی این منطق با استفاده از متغیرهای منطقی تک‌بیتی و عملیات منطقی اصلی (AND و OR و NOT) قابل ارائه است، اما در کاربردهای پیچیده‌تر هم متغیرها می‌توانند چند بیتی پردازش شوند و هم عملیات منطقی ترکیبی (مانند NAND و NOR و XOR وXNOR و ...) در انجام محاسبات قابل استفاده هستند. همانطور که در درس مدارهای منطقی هم مطالعه نمودید، مدارهای ترکیبی و ترتیبی می‌توانند نمونه‌هایی از این ساختارهای پیچیده باشند. هدف اصلی در درس الکترونیک دیجیتال آشنایی بیشتر با ساختار داخلی این مدارات و تحلیل الکترونیکی رفتار آن‌ها می‌باشد. شکل زیر نمونه‌هایی از مدارات ترکیبی و ترتیبی معروف را نشان می‌دهد.



(مدار ترتیبی شمارنده 3 بیتی نزولی آسنکرون)



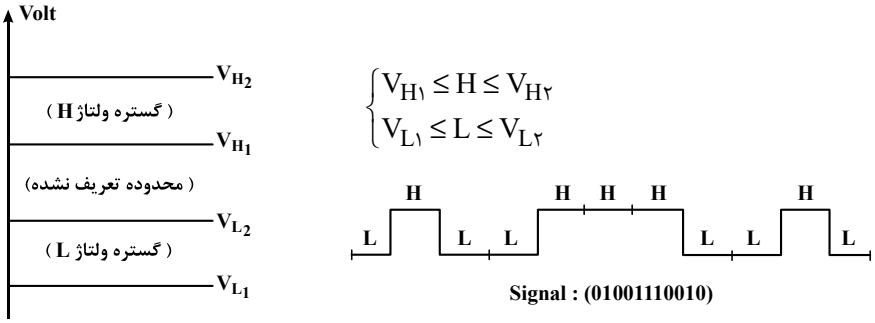
(مدار ترکیبی مالتی پلکسر 4 به 1)

نمونه‌هایی از مدارات ترکیبی و ترتیبی منطقی

سیگنال‌های دودویی

منظور از سیگنال دودویی، شکل موجی الکترونیکی از جنس ولتاژ یا جریان است که مقدار ولتاژ یا جریان آن در هر لحظه، نشان‌دهنده ارزش منطقی آن می‌باشد. به مداراتی که با سیگنال دودویی ولتاژ یا جریان کار می‌کنند، مدارات مود ولتاژ یا مدارات مود جریان گفته می‌شود. مبحث مدارات مود جریان در این درس مطرح نمی‌شود و مطالعه آن به خواننده سپرده می‌شود. در ساختار مدارات مود ولتاژ، سطوح مختلف ولتاژ معرف ۰ یا۱ بودن ارزش سیگنال‌های دودویی است. در واقع برای پیاده‌سازی یک مدار مود ولتاژ ابتدا بایستی مشخص شود محدوده ولتاژهای ۰ و۱ (یا محدوده ولتاژهای Low و High که به اختصار به صورت L و H نوشته می‌شود) چگونه تقسیم‌بندی شده است. برخی مدارات به سطوح پایین ولتاژ حساس هستند (مدارات Active Low) و برخی به سطوح بالای ولتاژ (مدارات Active High). گستره ولتاژهای L و H در مدارات دیجیتال معمولاً به صورت کاملاً مجزا در نظر گرفته می‌شود. علاوه بر این برای هریک از گستره‌های ولتاژ L و H یک حد بالا و پایین منظور می‌گردد. درصورتی‌که سیگنال ولتاژ مقداری در محدوده تعریف شده برای ولتاژ H اختیار کند، ارزش آن H است. در مورد ولتاژ L نیز قضیه به همین شکل است. حال اگر سیگنال در هیچ‌یک از این دو محدوده واقع نشود، اصطلاحاً گفته می‌شود سیگنال در محدوده تعریف نشده قرار گرفته است.

شکل زیر در حالت کلی گستره ولتاژ H، ولتاژ L و محدوده تعریف نشده را همراه با یک سیگنال دودویی متناوب نمونه نشان می‌دهد.



گستره سیگنال‌های دودویی H و L و یک سیگنال دودویی متناوب نمونه

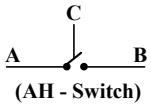
دلیل اصلی فرض نمودن گستره برای ولتاژهای L وH در مدارات دیجیتال این است که میزان تحمل‌پذیری مدار در مقابل نویز و پارازیت افزایش یابد و ارزش سیگنال‌ها به راحتی از عوامل محیطی تأثیر نپذیرد (از H به L یا بالعکس تغییر نکند). نکته اینکه هم سیگنال‌های دودویی ورودی و هم سیگنال‌های دودویی خروجی در مدارات دیجیتال باید صرفاً در محدود H یا L ولتاژ واقع شده و ارزشی خارج از گستره‌های مشخص شده را نپذیرند تا بتوان از عملکرد صحیح مدار اطمینان حاصل نمود.

مدارات سوئیچینگ

همان‌طورکه از عنوان مدار سوئیچینگ برمی‌آید، این مفهوم توصیف‌کننده مداراتی است که در ساختار آن‌ها از سوئیچ‌های قطع و وصل استفاده شده است. منظور از سوئیچ، قطعه‌ای الکترونیکی است که عمدتاً دارای ۲، ۳ یا ۴ سر می‌باشد و دو وضعیت وصل و قطع برای سرهای آن می‌توان تصور نمود. برخی از پایه‌های سوئیچ، کنترل وصل یا قطع بودن آن را برعهده دارند و برخی دیگر به انتقال ولتاژ در سوئیچ کمک می‌کنند. نحوه عملکرد این قطعه به این صورت است که اعمال ولتاژهای متفاوت به پایه‌های کنترلی آن می‌تواند منجر به اتصال یا قطع ارتباط پایه‌های انتقال ولتاژ شده و وضعیت سوئیچ را تغییر دهد. به ولتاژ اعمال شده به پایه‌های کنترل سوئیچ، سیگنال کنترلی گفته می‌شود. با توجه به اینکه سوئیچ‌های مورد بحث در این درس به صورت ۲ حالته (قطع و وصل) فعالیت می‌کنند، بنابراین سیگنال‌های کنترلی نیز باید از نوع سیگنال دودویی بوده و با اعمال دو مقدار منطقی ۰ و ۱ (Low و High) سوئیچ را قطع و وصل کنند.

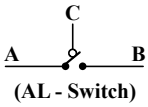
سیگنال‌های دودویی چنانکه در بخش قبل نیز اشاره شد، بسته به گستره تعریف شده برای ولتاژها در مدار، می‌توانند به صورت High، Low یا نامعتبر تفسیر شوند. مرز این گستره‌ها بستگی به المان‌های استفاده شده در مدار و نحوه برخورد آن‌ها با سطوح مختلف ولتاژ دارد. به عنوان مثال در یک مدار با شرایط $(۷ \le V_H \le ۱۰)$ و $(۰ \le V_L \le ۵)$ ولتاژ ۳ ولت به صورت سیگنالی با ارزش Low احساس می‌شود، در حالی‌که همین ولتاژ در مداری با شرایط $(۲/۵ \le V_H \le ۵)$ و $(-۱ \le V_L \le ۱/۵)$ معادل با سیگنال High خواهد بود. بنابراین ولتاژ اعمال شده به پایه‌های کنترلی سوئیچ با توجه به ساختار مدار می‌تواند تعابیر متفاوتی داشته باشد و اساساً مفهومی نسبی و غیرمطلق است.

سوئیچ‌ها در برخورد با سطوح مختلف ولتاژ ممکن است رفتارهای متفاوتی داشته باشند. برخی سوئیچ‌ها با اعمال سیگنال High به پایه‌های کنترلی وصل شده و با سیگنال Low قطع می‌شوند و برخی برعکس عمل می‌کنند. به سوئیچ‌های نوع اول Active High (AH) و به سوئیچ‌های نوع دوم Active Low (AL) گفته می‌شود. شکل زیر ساختار انتزاعی و شماتیک سوئیچ‌های ۳ سر را در حالتAH وAL نشان می‌دهد. در این سوئیچ‌های ۳ سر پایه C کنترلی است و دو پایه A و B جهت انتقال ولتاژ منظور شده‌اند. ذکر این نکته جهت یادآوری الزامی است که کلیه ساختارهای مورد بحث در این کتاب مبتنی بر انتقال ولتاژ در مدار بوده و اصطلاحاً در مود ولتاژ فعالیت می‌کنند. به همین دلیل هدف از استفاده سوئیچ در مدارات سوئیچینگ، کنترل انتقال ولتاژ از یک نقطه از مدار به سایر نقاط می‌باشد. بحث در مورد سوئیچ‌های مود جریان را به عهده خواننده می‌گذاریم.



(AH - Switch)

$\begin{cases} C = H \Rightarrow A \text{ connected to } B \\ C = L \Rightarrow A \text{ disconnected from } B \end{cases}$



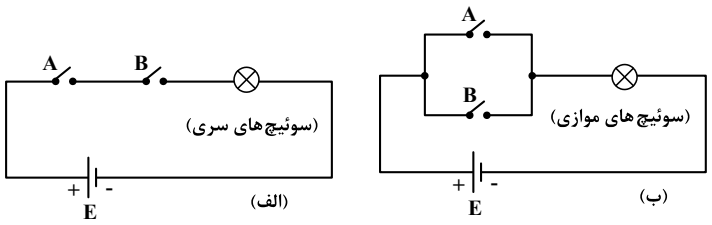
(AL - Switch)

$\begin{cases} C = L \Rightarrow A \text{ connected to } B \\ C = H \Rightarrow A \text{ disconnected from } B \end{cases}$

ساختار شماتیک سوئیچ‌های ۳ سر AL و AH

رفتار سوئیچ‌ها در مدارات سوئیچینگ به گونه‌ای است که ساختار اصلی مدار را تحت تأثیر قرار می‌دهد. به این معنی که قطع یا وصل بودن هر سوئیچ در مدار می‌تواند منجر به تولید ۲ ساختار متفاوت در مدار شود. بنابراین در یک مدار سوئیچینگ با n سوئیچ با در نظر گرفتن حالات وصل یا قطع برای کلیه سوئیچ‌ها، در مجموع ۲^n ساختار متفاوت قابل تصور است. البته از میان این ۲^n ساختار مختلف، در هر لحظه تنها یک ساختار معتبر و قابل تحلیل می‌باشد. تحلیل مدارات سوئیچینگ به معنی تشخیص رفتار منطقی این مدارات با در نظر گرفتن اتصالات سری ـ موازی سوئیچ‌ها و سیگنال‌های کنترلی آن‌ها می‌باشد.

بدین معنی که برای تشخیص عملکرد منطقی یک مدار سوئیچینگ باید بدون اعمال سیگنال خاصی به خطوط کنترل سوئیچ‌ها، شرط عبور ولتاژهای H و L از مسیرهای سوئیچینگ مختلف را به دست آورد و با استفاده از قواعد حاکم بر روابط منطقی، نتایج حاصل را ترکیب نمود تا ضابطه نهایی مدار به‌دست آید. برای اطلاع از جزئیات این فرایند، مدارات مقابل را در نظر بگیرید.



دو نمونه ازمدارات سوئیچینگ سری ـ موازی

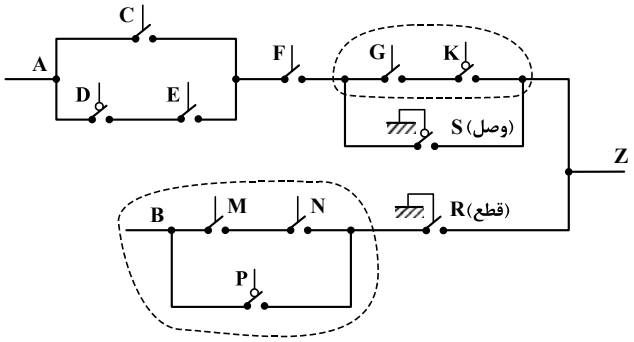
در شکل (الف) شرط برقراری حلقه کامل در مدار و روشن شدن لامپ توسط منبع تغذیه E این است که هر دو سوئیچ A و B در حالت وصل (بسته) یا هدایت قرار گیرند، درحالی‌که در شکل (ب) برای روشن شدن لامپ کافی است حداقل یکی از سوئیچ‌های A یا B وصل شود. بنابراین می‌توان نتیجه گرفت اتصالات سری و موازی سوئیچ‌ها در مدارات سوئیچینگ به ترتیب همچون عملیات منطقی AND و OR عمل می‌کنند. در ساختارهای پیچیده‌تر نیز باید با تکیه بر همین اصول اولیه به صورت گام به گام به تحلیل مدار بپردازیم و ضابطه نهایی سوئیچینگ را به‌دست آوریم. علاوه بر قواعد اولیه فوق باید به سری یا موازی شدن سوئیچ‌ها با سایر المان‌های مدار و وضعیت AL یا AH سیگنال‌های کنترلی نیز توجه داشته باشیم.

نکته ۱: در تحلیل منطقی مدارات سوئیچینگ، سیگنال کنترلی سوئیچ در وضعیت AH به‌صورت عادی و در وضعیت AL به‌صورت معکوس (NOT) در ضابطه منطقی سوئیچ مؤثر می‌شود.

نکته ۲: تمامی المان‌های سری با سوئیچ‌های قطع (باز) و یا موازی با سوئیچ‌های وصل (بسته) در عملکرد مدار بی‌تأثیرند.

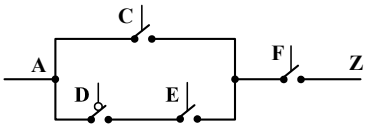
توجه داشته باشید برای تحلیل منطقی گام‌به‌گام مدارات سوئیچینگ چند طبقه بایستی با رسیدن به هر سوئیچ، ضابطه منطقی به‌دست آمده تا قبل از سوئیچ را در سیگنال کنترلی AL یا AH سوئیچ AND کنیم و از سوئیچ عبور کنیم.

در طول مسیر نیز اتصالات سری ـ موازی را دنبال می‌کنیم تا نهایتاً به پایان تحلیل برسیم. به عنوان نمونه مدار شکل زیر را درنظر بگیرید. نخستین موضوع در تحلیل این مدار باز بودن سوئیچ R (به علت اتصال سیگنال L به پایه R که AH است) و بسته بودن سوئیچ S (به علت اتصال سیگنال L به پایه S که AL است) و در ادامه سری شدن طبقه BMNP با سوئیچ باز R و موازی شدن طبقه GK با سوئیچ بسته S است. بنابراین به راحتی می‌توان نتیجه گرفت سوئیچ‌های G، K، M، N و P و همچنین سیگنال ورودی B در عملکرد مدار بی‌تأثیرند و برای به‌دست آوردن ضابطه منطقی خروجی Z می‌بایست سایر سوئیچ‌ها را بررسی نماییم.



یک مدار سوئیچینگ نمونه با ساختار نسبتاً پیچیده

با توضیحات داده شده می‌توان نتیجه گرفت مدار ساده شده شکل فوق به صورت زیر قابل نمایش است. بنابراین در این ساختار ضابطه منطقی مربوط به سوئیچ‌های سری D و E معادل سیگنال $\overline{D}.E$ می‌باشد (سوئیچ D به صورت AL است) و به‌دلیل اینکه این طبقه مجموعاً با سوئیچ C موازی شده است، سیگنال معادل طبقه CDE به صورت $C+\overline{D}.E$ خواهد بود.



$$Z = A.(C + \overline{D}.E).F$$

مدار ساده شده شکل قبل و ضابطه منطقی خروجی آن

حال برای یافتن ضابطه منطقی Z کافی است ورودی A را در ضابطه طبقه CDE و نهایتاً سیگنال کنترلی سوئیچ F (که با طبقه CDE سری شده است) AND نمائیم. ضابطه نهایی به صورت $Z = A(C + \overline{D}E)F$ خواهد شد. مفهوم مدار سوئیچینگ که در این بخش ارائه گردید، مفهومی انتزاعی و غیرمحسوس است که در ادامه با معرفی المان‌هایی همچون دیود و ترانزیستور واقعیت بیشتری پیدا نموده و به‌صورت عینی مورد بررسی قرار می‌گیرد. همانطور که در ابتدا نیز گفته شد برخی سوئیچ‌ها دوپایه و برخی سه یا چهار پایه هستند. دیودها نمونه عینی از سوئیچ‌های ۲ پایه‌اند که در فصل دوم مورد بررسی قرار می‌گیرند. ترانزیستورها نیز دارای ۳ یا ۴ پایه می‌باشند و به عنوان نمونه‌های دیگری از سوئیچ‌های واقعی در فصول سوم تا ششم معرفی می‌شوند.

فصل دوم

«دیودهای پیوندی و مدارات دیودی RDL»

مقدمه

فصل دوم کتاب ابتدا به معرفی انواع المان‌های دیود رایج در طراحی مدارات الکترونیک دیجیتال پرداخته و به‌طور خاص دو نمونه از این المان‌ها را تحت عنوان دیودهای پیوندی و دیودهای شاتکی مورد بحث و بررسی قرار می‌دهد. پس از آن، نحوه بایاس کردن دیودها در دو حالت ایده‌آل و واقعی معرفی شده و شرایط مورد نیاز برای بایاس دیودهای پیوندی و شاتکی ذکر می‌گردد. لازم به ذکر است مبحث دیودها در درس مدارهای الکترونیکی به صورت کامل مورد بررسی قرار گرفته است و هدف ما در این درس ارائه خلاصه‌ای از نکات و مفاهیم ذکر شده در آن درس می‌باشد. این آشنایی اجمالی عمدتاً به منظور اشراف بیشتر در طراحی مدارات منطقی دیودی مورد نظر بوده و صرفاً جهت استفاده در تحلیل ساختاری و عملکردی مدارات الکترونیک دیجیتال در این کتاب گنجانده شده است.

در بخش سوم، تکنولوژی مقاومت ـ دیود (Resistor Diode Logic یا RDL) معرفی شده و ساختار دو دروازه منطقی AND و OR به کمک این تکنولوژی مورد بررسی قرار می‌گیرد. از جمله مواردی که در مورد این دو دروازه بیان شده می‌توان به ساختار داخلی، تحلیل منطقی، تحلیل الکترونیکی، رسم نمودار VTC و سایر مسائل مرتبط اشاره نمود. چهارمین بخش این فصل به اصلاح ساختارهای ارائه شده AND و OR پرداخته و روش‌هایی را جهت انتقال و تصحیح سطوح ولتاژ خروجی این دروازه‌ها عرضه می‌نماید. این روش‌ها نهایتاً منجر به اصلاح نمودار VTC دروازه‌های AND و OR و افزایش کیفیت عملکرد منطقی آن‌ها می‌گردد. در قسمت پایانی این بخش نیز مثال‌هایی از ترکیب کلیه ساختارهای معرفی شده ارائه می‌گردد و کاربرد این ساختارها در طراحی مدارات بزرگ‌تر و پیچیده‌تر مورد ارزیابی قرار می‌گیرد.

در آخرین بخش فصل دوم با کاربرد متفاوتی از دیودها در مدارات الکترونیک دیجیتال آشنا می‌شویم که عبارت است از کنترل ولتاژهای ورودی به مدار با برش نواحی غیرمجاز. در واقع دیودها به عنوان برش‌گر ولتاژ قادرند طوری در مدارات به کار گرفته شوند که به ازای دریافت برخی سطوح ناخواسته و غیرمطلوب ولتاژ، تغییر وضعیت داده و مدار را از حالت عادی خارج کنند. این کار به منظور کنترل نقاط آسیب‌پذیر در ورودی‌های مدار و حفاظت آن‌ها از نویز و عوامل محیطی انجام می‌گیرد.

درسنامه (۱): عملکرد دیودها

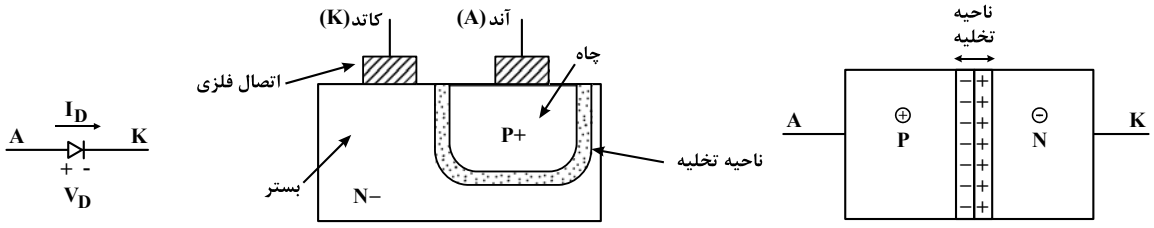
دیودهای پیوندی و دیودهای شاتکی

دیود المانی الکترونیکی است که در مدارات مختلف نقش‌های متعددی ایفا می‌کند. از جمله این نقش‌ها می‌توان به منبع ولتاژ، یکسوکنندگی، برش‌گری (محدودکنندگی) و سوئیچ دو حالته اشاره نمود. البته نقش‌های مهم در این درس عمدتاً به سوئیچ دوحالته (قطع و وصل) و برش‌گری محدود می‌شود. دیودها حاصل پیوند دو قطعه نیمه‌هادی (PN) و یا یک قطعه فلز و یک قطعه نیمه‌هادی (MN) می‌باشند. منظور از قطعات نیمه‌هادی آن دسته از عناصر جدول مندلیوف هستند که تعداد الکترون‌های آن‌ها در لایه ظرفیت یک واحد کمتر یا یک واحد بیشتر از حالت تعادل (پایداری) است. به بیان دیگر برابری تعداد الکترون‌ها و حفره‌ها (مکان‌های فاقد الکترون در لایه ظرفیت اتم) در یک عنصر باعث پایداری آن در مقابل عبور جریان و اصطلاحاً عایق شدن آن عنصر می‌شود. حال اگر با افزودن میزان مشخصی ناخالصی از نوع الکترون یا حفره به یک قطعه عایق آن را از حالت پایداری خارج نماییم، یک قطعه نیمه‌هادی با بار الکتریکی منفی (نیمه‌هادی نوع N با یک الکترون اضافه در لایه ظرفیت) و یا بار الکتریکی مثبت (نیمه‌هادی نوع P با یک حفره اضافه در لایه ظرفیت) خواهیم داشت. از جمله معروف‌ترین قطعات نیمه‌هادی نوع N می‌توان به فسفر (P) و یا آرسنیک (As) اشاره نمود و رایج‌ترین قطعات نیمه‌هادی نوع P عبارتند از بور (B) و گالیوم (Ga).

نکته۱: برای تفهیم حامل‌های اکثریت در نیمه‌هادی‌ها باید گفت در قطعات نیمه‌هادی نوع N حامل‌های اکثریت از نوع الکترون و در قطعات نیمه‌هادی نوع p حامل‌های اکثریت از نوع حفره می‌باشند.

دیودها انواع مختلفی دارند که برخی از آن‌ها شامل دیود پیوندی (PN) و دیود شاتکی (MN) کاربرد بیشتری در این درس دارند. دیود پیوندی از پیوند دو لایه نیمه‌هادی N و P تشکیل شده و در عمل با ایجاد یک چاه ناخالصی نوع P (اصطلاحاً P-well) روی یک بستر نوع N (اصطلاحاً N-substrate) ساخته می‌شود.

در واقع به دلیل ناپایداری ذاتی هر دو این لایه‌ها و تمایل آن‌ها به رسیدن به حالت پایدار، این استعداد در دیودهای پیوندی وجود دارد که در شرایط خاص مسیری جهت انتقال الکترون‌ها از لایه N به سمت لایه P ایجاد کنند و عامل پیدایش جریان الکتریکی در مدارات شوند. البته توجه به این نکته ضروری است که طبق قرارداد جهت جریان الکتریکی در مدارات و المان‌های مختلف همیشه منطبق بر جهت انتقال بارهای مثبت (حامل‌های اکثریت حفره) در نظر گرفته می‌شود. بنابراین جهت جریان در دیودهای پیوندی نیز همیشه از لایه P به N منظور می‌گردد. شکل زیر ساختار داخلی یک دیود پیوندی PN را نشان می‌دهد.

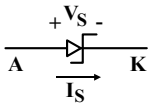


ساختار داخلی دیود پیوندی و نماد گرافیکی آن در مدار

همان‌طور که مشاهده می‌کنید دیود پیوندی یک المان دوسر است که به سر متصل به نیمه‌هادی نوع P آند و به سر متصل به نیمه‌هادی نوع N کاتد گفته می‌شود. در حالت عادی هنگامی‌که دیود پیوندی در مدار قرار نگرفته است، در نقاط مرزی پیوند لایه‌های N و P مقداری بار مثبت و منفی وجود دارد که به علت کافی نبودن اختلاف ولتاژ دو سر دیود، این بارها هیچ تمایلی به شارش به سوی یکدیگر را ندارند و اصطلاحاً در این قسمت یک ناحیه تخلیه نواری شکل ایجاد کرده‌اند. علت اصلی ایجاد این ناحیه در دیود، رانش بارهای همنام در دو قطب آند و کاتد است. این ناحیه در شکل قبل نشان داده شده است. در بخش بعد خواهیم دید که چگونه ایجاد اختلاف ولتاژ در دو سر دیود پیوندی باعث ایجاد و شارش جریان الکتریکی در آن خواهد شد.

دیود شاتکی دومین نوع دیود است که از پیوند یک لایه فلزی (M) و یک لایه نیمه‌هادی (N) ساخته می‌شود و مهم‌ترین ویژگی آن انتشار جریان الکتریکی با اختلاف پتانسیل کمتر می‌باشد. در واقع به علت عدم استفاده از نیمه‌هادی نوع P در این ساختار، پیوند فلز و نیمه‌هادی نوع N ضعیف‌تر بوده و با اختلاف پتانسیل کمتری اجازه عبور جریان را می‌دهد. بعدها خواهیم دید اختلاف پتانسیل مورد نیاز برای فعالیت دیود شاتکی تقریباً نصف اختلاف پتانسیل مورد نیاز برای فعالیت دیود پیوندی است.

لازم به ذکر است در ساخت لایه فلزی دیود شاتکی عموماً از سیلیساید پلاتینیوم (Pt_5si_2) استفاده می‌شود. شکل زیر نماد گرافیکی یک دیود شاتکی را نشان می‌دهد. به نحوه استفاده از حرف S (اولین حرف کلمه لاتین Shottkey) در شکل ظاهری این المان دقت نمایید.



نماد گرافیکی دیود شاتکی در مدار

در طراحی مدارات الکترونیک دیجیتال استفاده از هر دو نوع دیود پیوندی و شاتکی بسته به هدف طراحی، امکان‌پذیر است. به عنوان مثال در کاربردهایی که هدف طراح ساخت سوئیچی با اختلاف پتانسیل قابل ملاحظه می‌باشد، استفاده از دیود پیوندی مناسب‌تر است. در مقابل در مواقعی که سرعت تغییر وضعیت سوئیچ بین حالات قطع و وصل برای طراح اهمیت دارد، به کارگیری دیود شاتکی سودمندتر است. در فصل بعد خواهیم دید به علت مشکلاتی که المان‌های دیود دارند، هر دو این دیودها نهایتاً به ساخت ترانزیستورهای دوقطبی و شاتکی منجر شده و استفاده مستقیم از آن‌ها در طراحی مدارات الکترونیک دیجیتال چندان رایج نیست.

بایاس دیودها

منظور از بایاس دیود، فراهم آوردن شرایط مورد نیاز جهت هدایت جریان بین دو سر آن است. به‌طور کلی هر دیود به دو شکل مستقیم یا معکوس می‌تواند بایاس شود. منظور از بایاس مستقیم، اعمال ولتاژی مثبت به سر آند دیود است که در نتیجه آن، ولتاژ پایه آند از کاتد بیشتر شده و عرض ناحیه تخلیه کاهش می‌یابد. بنابراین شدت جریان حامل‌های اکثریت در طول پیوند افزایش یافته و شدت جریان نشتی دیود در جهت عکس کاهش می‌یابد. در اینجا جریان حامل‌های اکثریت به مفهوم حرکت حامل‌های اکثریت از آند به سمت کاتد و جریان نشتی به معنی انتقال بارهای ناحیه تخلیه از کاتد به سمت آند می‌باشد. بدین ترتیب هرگاه در این وضعیت ولتاژ اعمال شده به دو سر دیود از حد معینی تحت عنوان ولتاژ آستانه فعالیت (Threshold Voltage) بیشتر شود، دیود در وضعیت وصل قرار گرفته و با حفظ اختلاف پتانسیل آند و کاتد، جریان متغیری را از خود عبور می‌دهد.

نکته۲: ولتاژ آستانه فعالیت $V_{D(on)}$ برای دیود پیوندی PN معمولاً معادل ۰/۷ ولت و برای دیود شاتکی MN عمدتاً برابر با ۰/۳ ولت می‌باشد. میزان شدت جریان گذرنده از دیود در هنگام بایاس مستقیم از رابطه نمایی زیر تحت عنوان رابطه شاکلی به‌دست می‌آید:

$$I_D = I_S(e^{\frac{V_D}{V_T}} - ۱)$$

در رابطه فوق I_D جریان گذرنده از دیود، V_D ولتاژ دو سر دیود، I_S جریان نشتی دیود و V_T ولتاژ دمایی دیود می‌باشد. ولتاژ دمایی در وضعیت عادی حدود ۲۶ میلی‌ولت بوده و در سایر شرایط از رابطه مقابل به دست می‌آید:

$$V_T = \frac{KT}{q}$$

در فرمول ولتاژ دمایی پارامتر K ثابت بولتزمان با مقدار $(\frac{J}{K})$ $۱/۳۸\times۱۰^{-۲۳}$، پارامتر T میزان دما برحسب کلوین (K) و پارامتر q میزان بار الکتریکی برحسب کولن (C) می‌باشد. یادآوری می‌شود مقدار q بسته به تعداد متوسط الکترون‌های در حال شارش در مسیر به صورت زیر قابل محاسبه است:

$$q = ne$$

در این فرمول نیز n تعداد متوسط الکترون‌های در حال شارش و e بار الکتریکی یک الکترون با اندازه (C) $۱/۶\times۱۰^{-۱۹}$ می‌باشد.

مثال ۱: در کدام‌یک از گزینه‌های زیر مقدار I_D دیود به اندازه I_S نزدیک‌تر است؟

(فرض کنید: $e = ۲/۷$ و $۱/e = ۰/۴$ و $\sqrt{e} = ۱/۶$ و $e^۲ = ۷/۳$ می‌باشد.)

۱) $V_D = -V_T$ ۲) $V_D = \frac{V_T}{۲}$ ۳) $V_D = ۲V_T$ ۴) $V_D = V_T$

☑ **پاسخ:** گزینه «۲» با توجه به رابطه شاکلی برای تمام گزینه‌ها I_D را به دست آورده و نهایتاً فاصله آن را با I_S از طریق فرمول $|I_D - I_S|$ می‌سنجیم:

گزینه (۱): $V_D = -V_T \Rightarrow I_D = I_S(e^{\frac{-V_T}{V_T}} - ۱) = I_S(\frac{۱}{e} - ۱) = I_S(۰/۴ - ۱) = -۰/۶I_S$

گزینه (۲): $V_D = \frac{V_T}{۲} \Rightarrow I_D = I_S(e^{\frac{V_T}{۲V_T}} - ۱) = I_S(\sqrt{e} - ۱) = I_S(۱/۶ - ۱) = ۰/۶I_S$

گزینه (۳): $V_D = ۲V_T \Rightarrow I_D = I_S(e^{\frac{۲V_T}{V_T}} - ۱) = I_S(e^۲ - ۱) = I_S(۷/۳ - ۱) = ۶/۳I_S$

گزینه (۴): $V_D = V_T \Rightarrow I_D = I_S(e^{\frac{V_T}{V_T}} - ۱) = I_S(e - ۱) = I_S(۲/۷ - ۱) = ۱/۷I_S$

حال فاصله I_D و I_S را در گزینه‌های مختلف به صورت زیر به دست می‌آوریم و مینیمم فاصله را به عنوان پاسخ صحیح انتخاب می‌نماییم:

گزینه (۱): $|I_D - I_S| = |-۰/۶I_S - I_S| = ۱/۶I_S$

گزینه (۲): $|I_D - I_S| = |۰/۶I_S - I_S| = ۰/۴I_S = \min$

گزینه (۳): $|I_D - I_S| = |۶/۳I_S - I_S| = ۵/۳I_S$

گزینه (۴): $|I_D - I_S| = |۱/۷I_S - I_S| = ۰/۷I_S$

وضعیت بایاس معکوس دیود زمانی پیش می‌آید که ولتاژی منفی به سر آند اعمال می‌شود و اختلاف پتانسیل آند نسبت به کاتد را منفی می‌کند. این عمل باعث افزایش عرض ناحیه تخلیه شده و عامل ایجاد جریان‌های نشتی در آن ناحیه می‌گردد. بنابراین جریان حامل‌های اکثریت در دیود متوقف شده و دیود از این حیث مانند عایق عمل می‌کند. با توجه به اینکه جریان نشتی دیود در اثر جابه‌جایی بارهای ناحیه تخلیه شکل می‌گیرد و این بارها از نظر تعداد در اقلیت هستند، انتظار می‌رود میزان جریان نشتی دیود بسیار ناچیز باشد. با توجه به اینکه جریان نشتی دیود در V_Dهای بسیار منفی ایجاد شده و تشدید می‌شود، طبق رابطه شاکلی میزان جریان دیود در این وضعیت به صورت زیر قابل محاسبه خواهد بود:

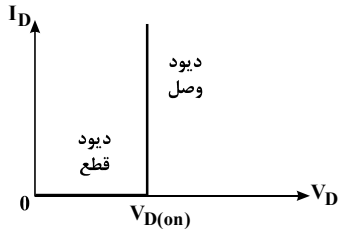
$$\left.\begin{array}{l} I_D = I_S(e^{\frac{V_D}{V_T}} - ۱) \\ V_D \ll ۰ \end{array}\right\} \Rightarrow I_D = I_S(e^{-\infty} - ۱) = I_S(۰ - ۱) = -I_S$$

رابطه فوق نشان می‌دهد جریانی که در V_Dهای بسیار منفی در دیود جای می‌شود، همان جریان نشتی دیود است که در جهت معکوس و از کاتد به سمت آند شکل می‌گیرد و اندازه آن معادل I_S می‌باشد.

نکته ۳: دیود شاتکی MN به علت عدم استفاده از نیمه‌هادی نوع P، فاقد ناحیه تخلیه و جریان اشباع معکوس بوده و به همین دلیل جریان را همچون یک یکسوکننده ایده‌آل، تنها در یک جهت هدایت می‌کند.

برای آشنایی بیشتر با عملکرد دیودها در نقش سوئیچ‌های الکترونیکی، آن‌ها را در دو حالت ایده‌آل و واقعی بررسی نموده و نمودار فعالیتشان را در هر حالت تحلیل می‌نماییم.

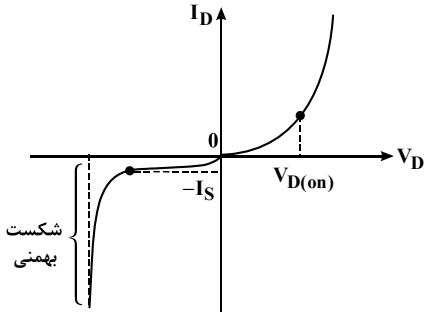
دیودها در حالت ایده‌آل به‌صورت دو وضعیتی عمل نموده و با توجه به شرایطی که در مدار دارند، وصل یا قطع خواهند بود. برای وصل شدن و هدایت جریان در دیود ایده‌آل کافی است $V_D \geq V_{D(on)}$ باشد. در این صورت دیود همچون یک سوئیچ بسته ایده‌آل عمل نموده و با حفظ ولتاژ $V_{D(on)}$ بین دو سر آند و کاتد، هر میزان جریانی را عیناً و بدون افت مقدار از سر آند به سر کاتد هدایت می‌کند. این در حالی است که به ازای ولتاژهای کمتر از $V_{D(on)}$، دیود در حالت اتصال باز قرار گرفته و اجازه عبور هیچ جریانی را بین دو سر آند و کاتد نمی‌دهد. بنابراین در این وضعیت جریان گذرنده از دیود دقیقاً صفر است. این توصیف ایده‌آل همان مفهومی است که در این درس مورد توجه و استفاده قرار می‌گیرد و ملاک بسیاری از تحلیل‌ها و طراحی‌هاست. شکل زیر مدل ایده‌آل دیودها را با رسم نمودار کار $(I_D - V_D)$ نشان می‌دهد.



نمودار کار $(I_D - V_D)$ برای دیود ایده‌آل

$$\begin{cases} V_D < V_{D(on)} \Rightarrow \text{Diode} = \text{off} \Rightarrow I_D = 0 \\ V_D \geq V_{D(on)} \Rightarrow \text{Diode} = \text{on} \Rightarrow I_D > 0 \end{cases}$$

در حالت واقعی عملکرد دیود پیچیده‌تر بوده و به کمک فرمول شاکلی قابل تحلیل است. همان‌طور که در ابتدای این بخش نیز ذکر شد، با تقسیم‌بندی فعالیت دیود در دو ناحیه بایاس معکوس و بایاس مستقیم می‌توان به نموداری مشابه شکل زیر رسید. در وضعیت بایاس مستقیم که به شرط $V_D \geq V_{D(on)}$ رخ می‌دهد، رابطه I_D و V_D به‌صورت نمایی است و در حالت بایاس معکوس به شرط $V_D < V_{D(on)}$، مقدار I_D کم‌کم به صفر نزدیک شده و به تدریج در V_Dهای منفی‌تر به جریان نشتی $-I_S$ گرایش پیدا می‌کند. البته به ازای V_Dهای بسیار منفی پیوند PN دیود دچار شکست شده (شکست بهمنی) و دیود عملاً می‌سوزد. به نقطه‌ای که به این وضعیت می‌انجامد، نقطه شکست بهمنی گفته می‌شود.



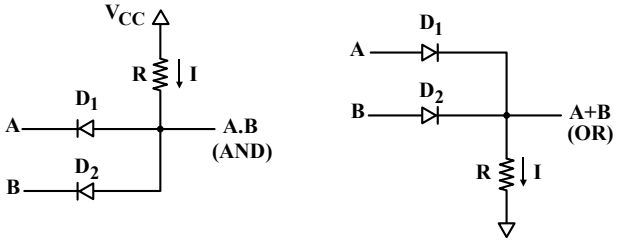
نمودار کار $(I_D - V_D)$ برای دیود واقعی

$$\begin{cases} V_D \ll V_{D(on)} \Rightarrow I_D = -I_S \\ V_D \geq V_{D(on)} \Rightarrow I_D = I_S(e^{\frac{V_D}{V_T}} - 1) \end{cases}$$

درسنامه (۲): مدارات RDL

تکنولوژی مقاومت دیود (RDL)

این تکنولوژی به عنوان ساده‌ترین تکنولوژی در طراحی مدارات الکترونیک دیجیتال، مبتنی بر المان‌های مقاومت و دیود بوده و از دیود به عنوان سوئیچ دو وضعیتی بهره می‌برد. مدارات پایه RDL عبارتند از: دروازه AND و دروازه OR، که ساختار آن‌ها در حالت دو ورودی در شکل زیر دیده می‌شود. همان‌طور که در شکل نیز قابل مشاهده است، در مدار $OR-RDL$ ورودی‌ها به آند دیودها اعمال می‌شود و کاتدها با واسطه مقاومت به زمین متصل شده است، در حالی‌که در مدار $AND-RDL$ از کاتد دیودها به منظور اعمال ورودی‌ها استفاده می‌گردد و آندها با واسطه مقاومت به منبع مدار متصل شده است.



مدارات AND و OR دو ورودی RDL

نخست به تحلیل عملکرد دروازه AND پرداخته و از نظر منطقی و الکترونیکی آن را بررسی می‌نماییم. با توجه به اینکه در دروازه AND کاتدها به عنوان ورودی در نظر گرفته شده و آندها با واسطه مقاومت R به منبع مدار متصل شده است، می‌توان نتیجه گرفت دیودها توانایی روشن شدن و انتقال جریان را به شرط $V_A > V_K$ دارند. به بیان دیگر، شرط لازم برای فعالیت و هدایت جریان در دیودها این است که ولتاژ پایه آند به اندازه $V_{D(on)}$ از ولتاژ پایه کاتد بیشتر باشد (در دیودهای پیوندی عادی $V_{D(on)} = ۰/۷$ می‌باشد).

ابتدا فرض می‌کنیم ارزش ولتاژ هر دو ورودی A و B معادل H باشد. در این حالت به دلیل افت ولتاژ منبع (بر اثر عبور از مقاومت)، ولتاژ آند کمتر از ولتاژ کاتد شده و هیچ‌کدام از دیودها روشن نمی‌شود. بنابراین جریان I در خروجی مدار صفر شده و ولتاژ خروجی بدون افت نسبت به ولتاژ منبع مدار، معادل V_{CC} خواهد شد (یعنی خروجی H می‌شود):

$$V_O = \underbrace{-RI}_{\text{صفر}} + V_{CC} = V_{CC} = H$$

حال با L شدن حداقل یکی از ورودی‌ها، این‌بار ولتاژ آند از کاتد در حداقل یکی از دیودها بیشتر شده و دیود مربوطه در وضعیت روشن قرار می‌گیرد. روشن شدن دیود باعث ایجاد مسیری بین منبع و ورودی L در مدار شده و جریان I را از منبع به سمت ورودی L برقرار می‌کند. این جریان باعث افت ولتاژ منبع در خروجی و نهایتاً L شدن ولتاژ آن می‌شود: $V_O = -RI + V_{CC} = V_{D(on)} = L$

یافته‌های فوق نشان می‌دهد عملکرد این مدار معادل دروازه AND منطقی با جدول صحتی به صورت زیر است:

A	B	V_O	out
L	L	$V_{D(on)}$	L
L	H	$V_{D(on)}$	L
H	L	$V_{D(on)}$	L
H	H	V_{CC}	H

نکته۴: ولتاژ منبع مدارات RDL معادل ۵ ولت منظور می‌شود.

توجه به این نکته ضروری است که اندازه ولتاژ L و H در ورودی مدارات RDL به‌ترتیب معادل ولتاژ زمین و ولتاژ منبع مدار است. این در حالی است که در خروجی مدار $AND-RDL$ ولتاژ H معادل منبع مدار و ولتاژ L معادل $V_{D(on)}$ می‌باشد.

مثال۲: بازه تغییرات اندازه جریان خروجی در یک AND – RDL سه ورودی با مقاومت خروجی ۴K چقدر است؟ (ولتاژ منبع را ۵ ولت در نظر بگیرید.)

۱) $۰/۷۵mA \le I \le ۱/۱mA$
۲) $۰/۷۵mA \le I \le ۱/۲۵mA$
۳) $۰ \le I \le ۱/۱mA$
۴) $۰ \le I \le ۰/۷۵mA$

فصل سوم

«ترانزیستورهای دوقطبی (BJT) و مدارات ترانزیستوری RTL و DTL»

مقدمه

در فصل قبل ساختار دیودها و مدارات دیودی را بررسی کردیم و نحوه استفاده از آن‌ها به عنوان کلید دو وضعیتی را مورد مطالعه قرار دادیم. یکی از بزرگ ترین ایرادات دیودها این است که در حالت قطع، مسیری را که در آن قرار گرفته‌اند را قطع می‌کنند و اگر طراحی به شیوه مناسب انجام نشده باشد و مسیرهای جایگزین در این وضعیت در نظر گرفته نشده باشد، مدار دچار وضعیت‌های نامشخص شده و تحلیل عملکرد منطقی آن ممکن نیست. به همین دلیل استفاده از ترانزیستورهای دوقطبی به جای دیودها برای طراحی کلیدهای دو وضعیتی پیشنهاد شد.

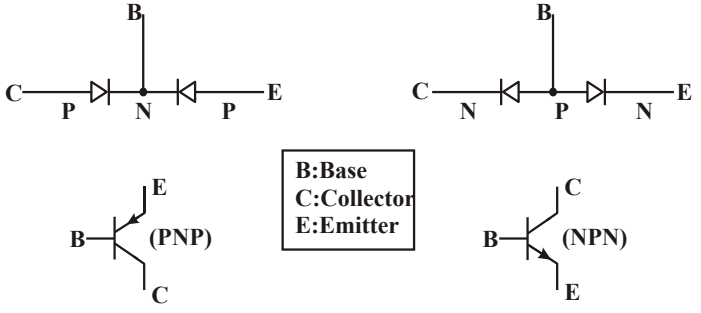
ترانزیستورهای دو قطبی BJT (Bipolar Junction Transistor) با مسیرهای جایگزینی که در اختیار طراح قرار می‌دهند، باعث می‌شوند مدار هیچگاه دچار حالت بلاتکلیف نشده و خروجی نامعتبر تولید نکند. دلیل نامگذاری این ترانزیستورها تحت عنوان دوقطبی نیز به همین موضوع ارتباط پیدا می‌کند.

این فصل در ابتدا ساختار ترانزیستورهای BJT را معرفی می‌نماید و در مورد شیوه ساخت آنها مطالبی را ذکر می‌کند. در ادامه و در بخش دوم عملکرد ترانزیستورهای BJT و نواحی مختلف فعالیت آنها بررسی می‌شود و روابط الکترونیکی حاکم بر پارامترهای ولتاژ و جریان در این المان‌ها ارائه می‌گردد. پس از شناخت کامل ترانزیستورهای BJT، در بخش‌های بعدی با دو تکنولوژی مبتنی بر ترانزیستورهای BJT به نام RTL و DTL آشنا شده و تحلیل منطقی و الکترونیکی مدارات این تکنولوژی‌ها را فرا می‌گیریم. مهم‌ترین مدارات قابل طراحی با این دو تکنولوژی دروازه‌های NOT ، Buffer، NAND، NOR، AND و OR می‌باشند که برخی به‌صورت مستقل و برخی به‌صورت ترکیبی طراحی و سپس تحلیل می‌شوند.

درسنامه (۱): عملکرد ترانزیستورها

ساختار ترانزیستورهای BJT

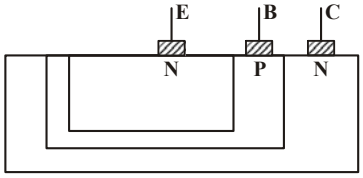
ترانزیستورهای BJT از دو دیود پیوندی PN متصل به‌هم به‌صورت پشت به پشت (Back to Back) تشکیل شده‌اند که می‌توانند حالات مختلفی نسبت به یکدیگر داشته باشند (گاهی مشابه و گاهی معکوس یکدیگر). این نحوه به‌هم بستن دو دیود PN منجر به هدایت جریان توسط هر دو حامل الکترون و حفره شده و تشکیل یک دوقطبی الکترونیکی با خواص منحصر به‌فرد را می‌دهد. به‌طور کلی دو نوع ترانزیستور BJT به نام‌های NPN و PNP داریم که با توجه به نحوه قرار گرفتن ساختارهای PN در کنار هم متفاوت هستند. در صورت اتصال دیودهای PN به‌صورت پشت به پشت ترانزیستور NPN و در صورت بستن آنها به‌شکل سربه‌سر ترانزیستور PNP ساخته می‌شود. شکل دیودی و نماد الکترونیکی این دو نوع ترانزیستور در شکل زیر نشان داده شده است. استفاده از ترانزیستور NPN در مدارات الکترونیک دیجیتال رایج‌تر است.



ساختار دیودی و نماد الکترونیکی ترانزیستورهای BJT

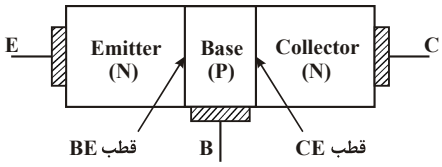
به سر مشترک Base و به سرهای انتهایی Collector و Emitter اطلاق می‌شود. هنگامی‌که ترانزیستور BJT در ناحیه فعالیت قرار می‌گیرد در ساختار NPN جریان بیس و کلکتور به پایه امیتر منتقل می‌شود. در ترانزیستور نوع PNP این عمل برعکس اتفاق می‌افتد و بخشی از جریان امیتر به بیس و بخشی به کلکتور راه می‌یابد. بنابراین جریان پایه امیتر همیشه معادل مجموع جریان پایه‌های بیس و کلکتور می‌باشد.

نکته قابل توجه در مورد ساختار ترانزیستورهای BJT این است که برای ساخت این ترانزیستورها از لایه‌های نیمه‌هادی نوع N و P با غلظت‌ها و ابعاد مختلف استفاده می‌شود. شکل مقابل سطح مقطع یک ترانزیستور BJT نوع NPN را نشان می‌دهد.



سطح مقطع ترانزیستور BJT نوع NPN

در طراحی ترانزیستور BJT به کمک لایه‌های نیمه‌هادی N و P عرض ناحیه بیس کمتر از دو ناحیه امیتر و کلکتور در نظر گرفته می‌شود تا جریان ناحیه کلکتور به‌راحتی به ناحیه امیتر منتقل شود. ضمناً عرض ناحیه کلکتور معمولاً زیاد در نظر گرفته می‌شود تا بارهای رسیده از ناحیه امیتر را راحت‌تر جذب کند. غلظت ناحیه امیتر نیز با هدف افزایش میزان جریان‌دهی مستقیم به نواحی دیگر، بیشتر از سایر نواحی منظور می‌گردد. شکل زیر لایه‌های نیمه‌هادی و قطب‌های BE و CE تشکیل‌دهنده ترانزیستور NPN را نشان می‌دهد. منظور از قطب BE مرز مشترک نواحی بیس و امیتر و منظور از قطب CE مرز مشترک نواحی کلکتور و امیتر می‌باشد. دلیل نامگذاری ترانزیستورهای دوقطبی BJT(Bipolar Junction Transistor) نیز همین مسئله است.



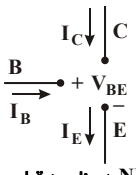
لایه‌های نیمه‌هادی و قطب‌های تشکیل‌دهنده ترانزیستور BJT نوع NPN

عملکرد ترانزیستورهای BJT

ترانزیستورهای BJT نوع NPN چنان‌که گفته شد، متشکل از دو دیود پیوندی PN به‌هم متصل هستند که هر یک از دیودها می‌توانند در دو وضعیت بایاس مستقیم و بایاس معکوس قرار گیرد. بنابراین یک ترانزیستور NPN مجموعاً ۴ وضعیت عملکردی مختلف به شرح جدول زیر خواهد داشت.

وضعیت دیود BE	وضعیت دیود BC	وضعیت ترانزیستور
معکوس	معکوس	قطع
معکوس	مستقیم	فعال معکوس
مستقیم	معکوس	فعال مستقیم
مستقیم	مستقیم	اشباع

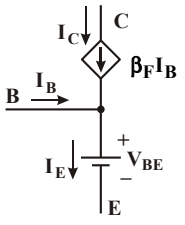
در ناحیه قطع هر دو دیود BE و BC خاموش بوده و جریانی از خود عبور نمی‌دهند. بنابراین جریان گذرنده از هر سه پایه ترانزیستور صفر است و هر سه پایه رفتار اتصال باز را نشان می‌دهند. عامل اصلی ایجاد حالت قطع در ترانزیستورها $V_{BE} < V_{D(on)}$ می‌باشد. شکل زیر مدل ترانزیستور BJT را در حالت قطع نشان می‌دهد.



$$\begin{cases} V_{BE} < V_{D(on)} \\ I_B = I_C = I_E = 0 \end{cases}$$

شکل ۴: مدل ترانزیستور BJT نوع NPN در ناحیه قطع

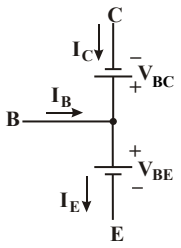
در ناحیه فعال مستقیم که به اختصار ناحیه فعال نیز نامیده می‌شود، تنها دیود BE ترانزیستور روشن بوده و $V_{BE} = V_{D(on)}$ می‌باشد. در این حالت جریان گذرنده از پایه‌های بیس و کلکتور مجموعاً وارد پایه امیتر شده و میان جریان کلکتور و جریان بیس نیز رابطه خطی $I_C = \beta_F I_B$ برقرار خواهد بود. ضریب ثابت β_F در این رابطه به جنس ترانزیستور وابسته بوده و تقریباً عددی در بازه ۱۰۰ تا ۲۰۰ می‌باشد که تحت عنوان ضریب جریان فعال مستقیم شناخته می‌شود. بنابراین ترانزیستور BJT در ناحیه فعال همچون یک تقویت‌کننده جریان عمل می‌کند. شکل زیر مدل ترانزیستور BJT در وضعیت فعال را نشان می‌دهد.



$$\begin{cases} V_{BE} = V_{D(on)} \Rightarrow V_{BE} = 0/7\text{V} \\ I_C = \beta_F I_B \\ I_E = I_B + I_C = (\beta_F + 1) I_B = (\frac{\beta_F + 1}{\beta_F}) I_C \end{cases}$$

مدل ترانزیستور BJT نوع NPN در ناحیه فعال

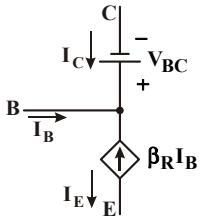
در ناحیه اشباع هر دو دیود BE و BC در ساختار داخلی ترانزیستور روشن بوده و $V_{BE} > V_{D(on)}$ و $V_{BC} \approx V_{D(on)}$ می‌باشد. در این حالت مقدار جریان پایه کلکتور کمتر از مقدار $\beta_F I_B$ است و در نتیجه مقدار جریان پایه امیتر نیز کمتر از $(\beta_F + ۱)I_B$ خواهد بود. مهم‌ترین مشخصه ناحیه اشباع ترانزیستور BJT ولتاژ V_{CE} می‌باشد که حدوداً معادل ۰/۲ ولت است. ترانزیستور BJT در مود اشباع همچون یک منبع ولتاژ عمل می‌کند و مدل آن به شکل زیر است.



$$\begin{cases} V_{BE} > V_{D(on)} \Rightarrow V_{BE} \approx ۰/۸V \\ V_{BC} \approx V_{D(on)} \Rightarrow V_{BC} \approx ۰/۶V \\ V_{CE(sat)} = ۰/۲V \\ I_C < \beta_F I_B \\ I_E < (\beta_F + ۱)I_B \end{cases}$$

مدل ترانزیستور BJT نوع NPN در ناحیه اشباع

در ناحیه فعال معکوس تنها دیود BC ترانزیستور روشن می‌شود و جریان ناچیزی در جهت عکس حالات قبلی از امیتر به سمت کلکتور جاری می‌شود. بنابراین در این حالت جریان کلکتور معادل مجموع جریان‌های بیس و امیتر خواهد بود. اندازه V_{BC} در این وضعیت معادل $V_{D(on)}$ است و میان جریان پایه‌های بیس و امیتر رابطه خطی $I_E = -\beta_R I_B$ برقرار می‌باشد. ضریب ثابت β_R در این رابطه به جنس ترانزیستور بستگی دارد و مقدار آن تقریباً حدود ۰/۰۱ است. این ضریب تحت عنوان ضریب جریان فعال معکوس شناخته می‌شود. ترانزیستور BJT در ناحیه فعال معکوس همچون یک بافر جریان عمل می‌کند. شکل زیر مدل ترانزیستور BJT را در وضعیت فعال معکوس نشان می‌دهد.



$$\begin{cases} V_{BC} = V_{D(on)} \\ I_E = -\beta_R I_B \\ I_C = I_E - I_B = -(\beta_R + ۱)I_B = (\frac{\beta_R + ۱}{\beta_R})I_E \end{cases}$$

مدل ترانزیستور BJT نوع NPN در ناحیه فعال معکوس

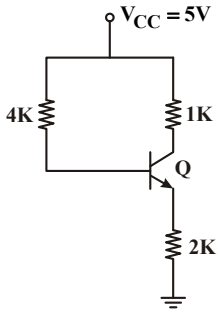
نکته۱: پارامترهای α_F و α_R به‌ترتیب تحت عنوان ضریب جریان کلکتور ـ امیتر مستقیم و معکوس شناخته شده و به‌صورت زیر تعریف می‌شوند:

$$\alpha_F = \frac{\beta_F}{\beta_F + ۱} \approx ۱ \quad \Rightarrow \quad I_C = \alpha_F I_E \quad \text{(در ناحیه فعال)}$$

$$\alpha_R = \frac{\beta_R}{\beta_R + ۱} \approx \beta_R \quad \Rightarrow \quad I_E = \alpha_R I_C \quad \text{(در ناحیه فعال معکوس)}$$

بنابراین هم در حالت فعال و هم در حالت فعال معکوس رابطه میان پارامترهای α و β به‌صورت زیر خواهد بود: $\alpha = \frac{\beta}{\beta + ۱} \quad \Rightarrow \quad \beta = \frac{\alpha}{\alpha - ۱}$

مثال۱: ترانزیستور BJT زیر به ازای $\beta_F = ۵۰$ در چه ناحیه‌ای فعالیت می‌کند؟



۱) فعال
۲) قطع
۳) فعال معکوس
۴) اشباع

☑ **پاسخ:** گزینه «۴» ابتدا فرض می‌کنیم ترانزیستور در ناحیه فعال است و سپس به منظور اطمینان از صحت فرض اولیه، جریان پایه‌های مختلف را به‌دست می‌آوریم: $KVL: V_{CC} = ۴I_B + V_{BE} + ۲I_E \rightarrow ۵ = ۴I_B + ۰/۷ + ۲(۵۰+۱)I_B \Rightarrow I_B = \frac{۵ - ۰/۷}{۱۰۶} = ۰/۴mA$

حال V_{CE} را به‌دست می‌آوریم و وضعیت آن را نسبت به V_{CE} مورد انتظار می‌سنجیم:

$$V_{CE} = V_C - V_E = (۵ - I_C) - (۲I_E) = ۵ - (۵۰)I_B - ۲(۵۱)I_B = -۵۵/۸V$$

با توجه به آنکه V_{CE} همیشه معادل $V_{BE}-V_{BC}$ بوده و در ناحیه فعال $V_{BE}>V_{BC}$ می‌باشد، لذا V_{CE} در ناحیه فعال باید مثبت باشد و بنابراین فرض اولیه در محاسبات فوق صحیح نبوده است. حال فرض اولیه را عوض نموده و این‌بار در ناحیه اشباع محاسبات را انجام می‌دهیم:

$$\begin{cases} KVL۱: V_{CC}=I_C+V_{CE}+۲I_E \Rightarrow ۵=I_C+۰/۲+۲I_E \\ \qquad\qquad\qquad\qquad\qquad\qquad \xrightarrow{(I_E=I_B+I_C)} \\ KVL۲: V_{CC}=۴I_B+V_{BE}+۲I_E \Rightarrow ۵=۴I_B+۰/۸+۲I_E \end{cases}$$

$$\Rightarrow \overset{(-۳\times)}{} \begin{cases} ۴/۸=۲I_B+۳I_C \\ ۴/۲=۶I_B+۲I_C \end{cases} \Rightarrow \begin{cases} -۱۴/۴=-۶I_B-۹I_C \\ ۴/۲=۶I_B+۲I_C \end{cases} \Rightarrow I_C=۱/۴۵mA \text{ و } I_B=۰/۲۱mA$$

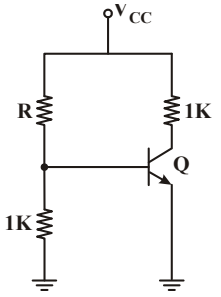
حال با مقایسه I_C و $\beta_F I_B$ درمی‌یابیم که به دلیل برقرار بودن شرط $I_C<\beta_F I_B$، ناحیه فعالیت ترانزیستور BJT ناحیه اشباع است:

$$\begin{cases} I_C=۱/۴۵mA \\ \beta_F I_B=۵۰\times ۰/۲۱=۱۰/۵mA \end{cases} \Rightarrow I_C<\beta_F I_B \Rightarrow \text{(ناحیه اشباع)}$$

نکته۲: در مدارات الکترونیک دیجیتال معمولاً طراحی‌ها به گونه‌ای انجام می‌شود که ترانزیستورهای BJT هنگام روشن بودن در ناحیه مرزی حالات فعال و اشباع قرار گیرند تا از ویژگی‌های هر دو ناحیه بتوان در عملکرد مدار استفاده نمود. برای تحلیل مدارات در این ناحیه داریم:

$$\begin{cases} V_{CE}=۰/۲v \\ V_{BE}=V_{D(on)} \end{cases} , \quad \begin{cases} I_C=\beta_F I_B \\ I_E=(\beta_F+۱)I_B \\ I_C=\alpha_F I_E \end{cases}$$

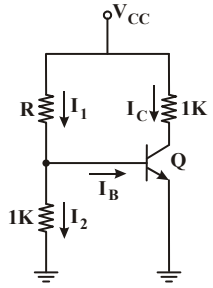
مثال۲: اندازه مقاومت R را در مدار مقابل طوری به‌دست آورید که ترانزیستور در مرز نواحی فعال و اشباع قرار گیرد.



$$\begin{cases} V_{CC}=۵/۲v \\ \beta_F=۵۰ \end{cases}$$

۱) ۵/۵ K
۲) ۴/۲ K
۳) ۳/۵ K
۴) ۲/۷ K

پاسخ: گزینه «۱» با فرض $V_{CE}=۰/۲v$ و $V_{BE}=V_{D(on)}$ و $I_C=\beta_F I_B$ در دو بخش از مدار معادلات KVL و KCL را می‌نویسیم:



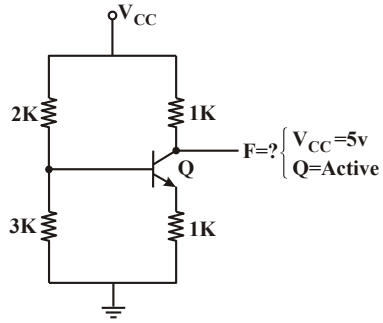
$$KVL: V_{CC}=I_C+V_{CE(sat)} \Rightarrow ۵/۲=I_C+۰/۲ \Rightarrow I_C=۵mA$$

$$\Rightarrow I_B=\frac{I_C}{\beta_F}=\frac{۵}{۵۰}=۰/۱mA$$

$$KCL: I_۱=I_B+I_۲ \Rightarrow \frac{V_{CC}-V_{BE}}{R}=۰/۱+\frac{V_{BE}}{۱}$$

$$\Rightarrow \frac{۵/۲-۰/۷}{R}=۰/۸ \Rightarrow R=\frac{۴/۵}{۰/۸}\approx ۵/۵K$$

مثال۳: با صرف‌نظر از مقدار جریان بیس در ترانزیستور Q، ولتاژ نقطه F را به‌دست آورید.
(مقدار β_F طوری داده شده که ترانزیستور Q در ناحیه فعال کار کند)



۱) ۳/۲ ولت
۲) ۲/۷ ولت
۳) ۱/۸ ولت
۴) ۱/۳ ولت

پاسخ: گزینه «۲» ابتدا با فرض $I_B=۰$ ولتاژ پایه بیس یا V_B را به‌دست می‌آوریم و سپس با نوشتن یک رابطه KVL، به محاسبه I_E می‌پردازیم:

$$V_B=\frac{۳}{۲+۳}\times V_{CC}=\frac{۳}{۵}V_{CC}=۳v \quad \text{(تقسیم ولتاژ)}$$

$$KVL_۱: V_B=V_{BE}+I_E \Rightarrow ۳=۰/۷+I_E \Rightarrow I_E=۲/۳mA$$

$$KVL_۲: V_{CC}=I_C+F \Rightarrow F=V_{CC}-I_C=۵-۲/۳=۲/۷v$$

از آنجا که $I_B=۰$ است، می‌توان نتیجه گرفت $I_E=I_C$. بنابراین داریم:

مدرسان شریف

فصل چهارم

«مدارات تکنولوژی TTL و ECL »

مقدمه

فصل چهارم کتاب در دو بخش اصلی به معرفی دو تکنولوژی پر کاربرد در دنیای ترانزیستورهای BJT تحت عنوان Transistor - Transistor Logic (TTL) و Emitter-Coupled Logic (ECL) می‌پردازد. نخستین بخش در این فصل به روند توسعه تکنولوژی DTL به TTL اشاره می‌کند و نهایتاً این‌دو تکنولوژی را از نظر خصوصیات منطقی و الکترونیکی با هم مقایسه می‌کند. سپس با ارائه ساختارهای متفاوت طراحی مدار وارونگر پایه تکنولوژی TTL، به ارائه مشخصات اصلی یک مدار TTL پرداخته و عملکرد طبقات ورودی و خروجی این مدارات را به‌طور کامل تحلیل و تفسیر می‌نماید. پارامترهای عملکردی تکنولوژی TTL و نقاط بحرانی نمودار VTC وارونگر پایه این تکنولوژی در ادامه این فصل بررسی می‌شود.

پس از معرفی وارونگر پایه تکنولوژی TTL، به بررسی ساختار چهار مدار کاربردی این تکنولوژی شامل: دروازه‌های NAND، AND، NOR و OR خواهیم پرداخت و در مورد هریک از آن‌ها، عملکرد منطقی را ارزیابی نموده و پارامترهای الکترونیکی نمودار VTC را به‌دست خواهیم آورد. سپس با فرم کلی طراحی مدارات منطقی بر مبنای تکنولوژی TTL آشنا خواهیم شد و تکنیک‌های مرتبط با این نوع طراحی را خواهیم دید.

در ادامه فصل، مدارات خاص تکنولوژی TTL را خواهیم شناخت. این مدارات عبارتند از: مدارات کلکتور باز TTL، مدارات TTL با خروجی سه حالته، مدارات کم‌مصرف TTL (تحت عنوان LCTTL)، مدارات پرسرعت TTL (تحت عنوان TTL شاتکی یا STTL) و مدارات کم‌مصرف و پرسرعت TTL (تحت‌عنوان LSTTL). در مورد هریک از این مدارها هم با تحلیل عملکرد مدار آشنا می‌شویم و هم نقش المان‌های مختلف را در ساختار مدار بررسی می‌کنیم.

پس از بحث و بررسی درخصوص تکنولوژی TTL، به معرفی تکنولوژی ECL می‌پردازیم و در نخستین گام با مدار، بافر/ وارونگر پایه این تکنولوژی آشنا می‌شویم. این بررسی شامل شناخت طبقات تفاضلی تزویج شده ترانزیستوری، خروجی‌های دوگانه امیتر باز، المان‌های سازنده ولتاژ مرجع و مجموعاً عملکرد منطقی و الکترونیکی این مدار می‌باشد. مهم‌ترین دستاورد در تحلیل الکترونیکی این مدار، محاسبه پارامترهای بحرانی نمودار VTC متعلق به دو طبقه بافر و وارونگر است.

در قسمت پایانی فصل نیز ساختار مربوط به مدارات ترکیبی OR/NOR و AND/NAND تکنولوژی ECL از نظر منطقی و الکترونیکی به بحث گذاشته می‌شود و شیوه طراحی مدارات منطقی گسترده‌تر این تکنولوژی توضیح داده می‌شود. این طراحی ممکن است با تغییر نحوه چینش ترانزیستورها در طبقه تفاضلی تزویج شده و یا اتصال خروجی‌های امیتر باز به یکدیگر به منظور پیاده‌سازی OR اتصالی انجام شود.

درسنامه (۱): طراحی و تحلیل مدار پایه TTL

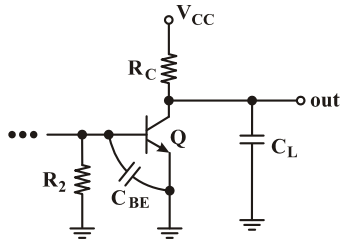
طراحی تکنولوژی TTL بر پایه تکنولوژی DTL

همان‌طورکه قبلاً دیدیم تکنولوژی DTL از ترکیب تکنولوژی‌های RTL و RDL به‌وجود آمد و تا حد زیادی مشکلات این دو تکنولوژی را حل کرد. تکنولوژی DTL هم از نظر میزان برون‌دهی (FO) و هم از نظر حاشیه نویز(NM) بسیار بهتر از دو تکنولوژی RTL و RDL عمل می‌کند، اما از نظر میزان تأخیر انتشار، وضعیت چندان مناسبی ندارد. علت اصلی زیاد بودن تأخیر انتشار در این تکنولوژی به ۲ مسئله اساسی برمی‌گردد که این‌دو عبارتند از:

الف) کم بودن جریان موردنیاز جهت تخلیه جریان بیس ترانزیستور خروجی:

همان‌طورکه در مدار اصلاح شده تکنولوژی DTL مشاهده نمودیم، ترانزیستور طبقه خروجی به شکل زیر می‌باشد. در حالتی‌که ارتباط منبع تغذیه با بیس ترانزیستور خروجی قطع می‌شود، بایستی بار ذخیره شده در خازن‌های پارازیتی ترانزیستور سریعاً تخلیه شود.

جریان گذرنده از مقاومت R_2 که نهایتاً منجر به تخلیه خازن پارازیتی BE ترانزیستور می‌شود، معادل $\frac{V_{BE(act)}}{R_2}$ است. این جریان نسبت به جریان ورودی به بیس ترانزیستور بسیار ناچیز است. بنابراین خازن پارازیتی BE ترانزیستور با سرعت بسیار کمی تخلیه شده و اجازه تغییر وضعیت فوری ترانزیستور به ناحیه قطع را نمی‌دهد.



ترانزیستور طبقه خروجی در تکنولوژی DTL

ب) زمان‌بر بودن شارژ خازن بار C_L در کلکتور ترانزیستور خروجی:

خازن بار نیز همچون خازن‌های پارازیتی موجود بین جفت پایه‌های ترانزیستور BJT ، یک خازن ناخواسته است که در نتیجه سیم‌کشی خروجی مدار به ورودی طبقات بعدی به وجود می‌آید. مقدار این خازن به عوامل مختلفی هم‌چون میزان ظرفیت ورودی طبقه بعد و میزان و شیوه سیم‌کشی بین طبقات ارتباط دارد.

مجدداً حالت ذکر شده در بند «الف» را در نظر بگیرید. در این حالت ترانزیستور خروجی باید قطع شود و خروجی از طریق منبع تغذیه V_{CC} به ارزش H برسد. خاموش شدن تدریجی ترانزیستور که در بند «الف» بررسی شد، نمی‌تواند بلافاصله منجر به H شدن ولتاژ خروجی گردد. زیرا با قطع شدن ترانزیستور خروجی، خازن بار C_L شروع به شارژ شدن از طریق منبع تغذیه نموده و تکمیل عمل شارژ خازن در مدت زمانی معادل $\tau = R_C C_L$ صورت می‌گیرد.

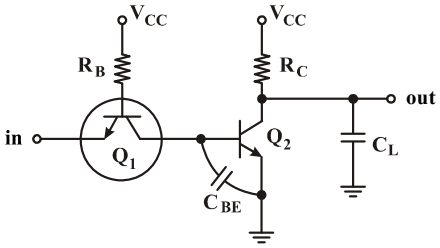
توضیحات ارائه شده در بندهای «الف» و «ب» نشان می‌دهد در مجموع میزان تأخیر انتشار مدارات DTL زیاد است و خروجی مدارات DTL به کندی H می‌شود. این در حالی است که L شدن خروجی در این مدارات با سرعت بیشتری اتفاق می‌افتد. زیرا در این وضعیت اولاً مسیر منبع تغذیه تا بیس ترانزیستور خروجی فعال بوده و خازن‌های پارازیتی نظیر C_{BE} به‌سرعت شارژ می‌شوند و ثانیاً خازن بار نیز متناسب با مقدار جریان کلکتور ترانزیستور خروجی $(I_C = \beta . I_B)$ دشارژ شده و خروجی به‌سرعت به مقدار L منطقی می‌رسد.

نکته ۱: میزان تأخیر انتشار مدارات الکترونیک دیجیتال به‌سرعت شارژ و دشارژ خازن‌های پارازیتی مدار بستگی دارد.

تکنولوژی TTL ابتدا مبتنی بر تکنولوژی DTL ارائه گردید و کارایی آن را از جهات مختلف نظیر میزان برون‌دهی (FO)، تأخیر انتشار و مساحت تراشه بهبود بخشید. هسته اصلی مدارات در تکنولوژی TTL همانند تکنولوژی DTL است، اما ساختار ورودی و خروجی مدار در این تکنولوژی متفاوت است.

تفاوت طبقه ورودی تکنولوژی TTL با DTL این است که دیود ورودی به ترانزیستور ورودی تبدیل شده است. آرایش این ترانزیستور به‌صورت بیس مشترک می‌باشد، به این ترتیب که ولتاژ ورودی به پایه امیتر ترانزیستور اعمال شده و خروجی از پایه کلکتور آن دریافت می‌شود. شکل زیر، طبقه ورودی مدارات TTL را نشان می‌دهد.

چنین ساختاری چند فایده بسیار مهم دارد. نخست آنکه، اعمال ورودی به پایه امیتر ترانزیستور باعث می‌شود در حالت $in = H$ این ترانزیستور قطع بوده و جریان ورودی صفر گردد. بنابراین میزان برون‌دهی (FO) مدار در این شرایط بی‌نهایت است.

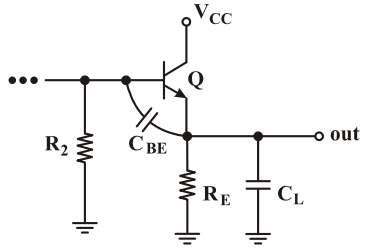


ترانزیستور طبقه ورودی با آرایش بیس مشترک در تکنولوژی TTL

دومین ویژگی ترانزیستور طبقه ورودی این است که با روشن شدن این ترانزیستور و قرار گرفتن در ناحیه فعال، جریان $I_{C_1} = \beta I_{B_1}$ از کلکتور آن به سمت امیتر جاری می‌شود که مقدار این جریان زیاد بوده و به‌سرعت باعث تخلیه خازن پارازیتی C_{BE} در ترانزیستور Q_2 و نهایتاً قطع شدن فوری این ترانزیستور می‌شود.

بنابراین مسئله «الف» که در مورد خازن‌های پارازیتی تکنولوژی DTL مطرح شد، در تکنولوژی TTL تا حدی حل شده و میزان تأخیر انتشار مدار کاهش یافته است.

طبقه خروجی تکنولوژی TTL نیز کاملاً متفاوت با تکنولوژی DTL است. با توجه به اینکه در مسئله «ب» به زمان‌بر بودن شارژ خازن بار C_L در خروجی مدارات DTL اشاره شد، به‌نظر می‌رسد احتمالاً راه‌حل این باشد که خروجی مدار را به‌جای پایه کلکتور، از پایه امیتر بگیریم. با اعمال این تغییر در خروجی ساختارهای تکنولوژی DTL، طبقه خروجی به‌صورت زیر در خواهد آمد. لازم به ذکر است آرایش ترانزیستور خروجی در ساختار قبل به‌صورت امیتر مشترک بود که در این ساختار، به فرم کلکتور مشترک تبدیل شده است.

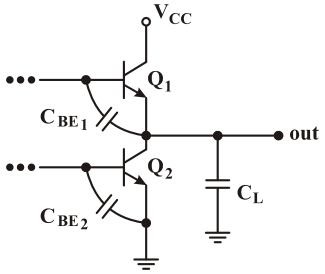


ترانزیستور طبقه خروجی با آرایش کلکتور مشترک در تکنولوژی DTL

ضمن توجه به این نکته که منطق خروجی مدار با تغییر فوق، دیگر معادل وارون ضابطه منطقی طراحی شده در مدار نخواهد بود، باید اذعان کنیم طراحی فوق نیز از نظر تأخیر زمانی ناکارآمد است. این ناکارآمدی زمانی قابل لمس است که خازن بار خروجی (C_L) به‌علت قطع شدن ترانزیستور خروجی، شروع به دشارژ شدن از طریق مقاومت R_E می‌نماید. این عمل در بازه زمانی نسبتاً بزرگی معادل $\tau = R_E C_L$ اتفاق می‌افتد و با تأخیر خروجی را L می‌کند. بنابراین همان‌طور که در حالت قبل H شدن خروجی پدیده‌ای زمان‌بر محسوب می‌شد، در حالت جاری نیز L شدن خروجی دچار چنین تأخیری می‌شود. البته توجه به این نکته ضروری است که در ترکیب جدید H شدن خروجی با سرعت بیشتری اتفاق می‌افتد. زیرا اولاً به‌علت روشن بودن ترانزیستور خروجی و اتصال مستقیم بیس این ترانزیستور به منبع تغذیه، خازن‌های پارازیتی نظیر C_{BE} به‌سرعت شارژ می‌شوند و ثانیاً خازن بار نیز متناسب با مقدار جریان امیتر ترانزیستور خروجی $(I_E = (\beta+1).I_B)$ شارژ می‌گردد.

نتایج فوق نشان می‌دهد برای حل مشکل زیاد بودن تأخیر انتشار مدارات DTL، ترکیب دو ساختار امیتر مشترک و کلکتور مشترک می‌تواند مناسب ترین راه‌حل باشد. این ساختار همان آرایشی است که برای خروجی مدارات TTL به‌کار می‌رود.

شکل مقابل، هسته اصلی طبقه خروجی مدارات TTL را نشان می‌دهد. همان‌طور که در شکل نیز دیده می‌شود، خروجی مدارات TTL هم دارای ترانزیستور امیتر مشترک و هم دارای ترانزیستور کلکتور مشترک می‌باشد.



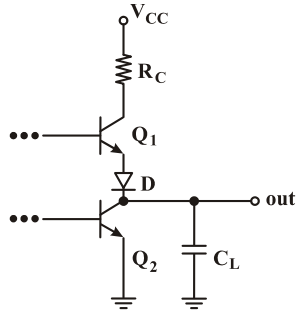
هسته اصلی طبقه خروجی مدارات TTL

در ساختار فوق، همیشه یکی از ترانزیستورهای Q_1 و Q_2 قطع و دیگری اشباع است. اگر Q_1 قطع و Q_2 اشباع باشد، ولتاژ منبع تغذیه به بیس Q_2 رسیده و باعث شارژ سریع خازن پارازیتی C_{BE_2} و حذف اثر مخرب آن در مدار می‌شود. از سوی دیگر روشن شدن Q_2 باعث تخلیه سریع خازن C_L و L شدن خروجی می‌گردد. اما درصورتی‌که Q_1 اشباع و Q_2 قطع باشد، این‌بار خازن مخرب C_{BE_1} از مسیر اتصال منبع تغذیه به بیس Q_1 سریعاً شارژ شده و از مدار حذف می‌شود. خازن بار C_L نیز از طریق امیتر Q_1 به‌سرعت پر می‌شود. بنابراین خروجی در این حالت با حداقل تأخیر ممکن، H می‌شود.

طبقه خروجی مدارات TTL با نام طبقه توتم‌پل (totem pole) شناخته می‌شود و مطابق تحلیل فوق دارای تأخیر انتشار ناچیز در L و H شدن خروجی می‌باشد. مهم‌ترین ویژگی این طبقه استفاده از ترانزیستورهای BJT در بخش‌های بالاکش (pull up) و پایین‌کش (pull down) مدار است. به این نوع طبقات pu و pd، بالاکش فعال و پایین‌کش فعال اطلاق می‌گردد. زیرا عملکرد هر دو این بخش‌ها به نحوه فعالیت ترانزیستورها بستگی دارد. در مقابل، المان مقاومت المانی غیرفعال است که با شیوه استفاده از آن در بخش‌های pu و pd مدارات تکنولوژی RDL، RTL وDTL آشنا شدیم.

استفاده از المان مقاومت در مدارات الکترونیک دیجیتال علاوه‌بر تحمیل تأخیر زمانی ناخواسته به مدار، می‌تواند مساحت آن را نیز به‌شدت افزایش دهد. استفاده از دیودها در طراحی نیز چنین وضعیتی دارد. زیرا سطح مقطع اشغال شده توسط مقاومت و دیود در طراحی بسیار زیاد است.

بنابراین غیرفعال بودن المان مقاومت در طبقات pu و pd، بالا بودن میزان تأخیر انتشار، پایین بودن میزان برون‌دهی (FO) و اشغال مساحت بالا در طراحی به‌عنوان مهم‌ترین دلایل ناکارآمدی تکنولوژی‌هایی نظیر RDL، RTL و DTL مطرح هستند. طبقه توتم‌پل هر دو نقص نامبرده را با جایگزینی ترانزیستور به‌جای مقاومت رفع نموده است. ساختار اصلی و کامل این طبقه در خروجی مدارات TTL به فرم مقابل می‌باشد.



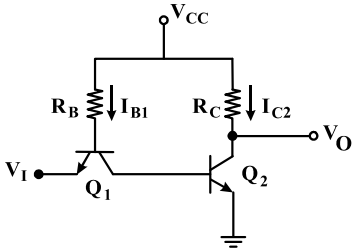
ساختار کامل طبقه خروجی توتم پل در مدارات TTL

همان‌طور که در شکل نیز دیده می‌شود، علاوه بر ترانزیستورهای pu و pd، المان‌های دیگری نظیر مقاومت R_C با مقدار ناچیز و دیود D نیز در طبقه توتم پل دیده می‌شوند که بایستی نقش آنها در عملکرد این طبقه مشخص شود. دلیل استفاده از مقاومت R_C در ترانزیستور بالاکش، اعمال محدودیت در مقدار جریان گذرنده از طبقه توتم پل است. نقش دیود D در طبقه توتم نیز عبارتست از: جلوگیری از روشن شدن همزمان ترانزیستورهای Q_1 و Q_2.

در ساختار قبلی به این نکته اشاره شد که مهم‌ترین خاصیت طبقه توتم پل، فعالیت حداکثر یک ترانزیستور در دو طبقه pu و pd می‌باشد. در فرم تکمیل شده اخیر، روشن شدن Q_2 منجر به کاهش ولتاژ کلکتور آن شده و این ولتاژ ناچیز با ولتاژ دو سر دیود D جمع می‌شود و در پایه امیتر ترانزیستور Q_1 حاضر می‌گردد. بنابراین ولتاژ موردنیاز جهت روشن شدن Q_1 افزایش یافته و از روشن شدن ناگهانی این ترانزیستور با نویزهای ناخواسته جلوگیری به‌عمل می‌آید. لازم به‌ذکر است که خازن بار C_L از مسیر Q_1 و D شارژ و از مسیر Q_2 دشارژ می‌شود.

وارونگر پایه تکنولوژی TTL

ساده‌ترین فرم وارونگر پایه TTL مداری با دو ترانزیستور BJT و دو مقاومت به شکل زیر است.
ترانزیستور Q_1 مربوط به طبقه ورودی و ترانزیستور Q_2 مربوط به طبقه خروجی وارونگر می‌باشد.
برای تحلیل مدار بایستی یک‌بار ورودی را L (با ولتاژ صفر) و بار دیگر ورودی را H (با ولتاژ منبع) فرض کنیم و در هر حالت، وضعیت ترانزیستورها و مقدار ولتاژها و جریان‌های المان‌های مختلف را تا رسیدن به خروجی مدار به‌دست آوریم.



ساختار وارونگر پایه TTL به فرم ساده

در مدار فوق درصورتی‌که $V_I = L$ باشد، به دلیل آنکه مقدار V_{BE_1} بیش از مقدار $V_{BE(act)}$ می‌شود، در ترانزیستور Q_1 اتصال BE بایاس مستقیم و اتصال BC بایاس معکوس می‌شود. حال با انتخاب مناسب R_B، ترانزیستور Q_1 در مرز نواحی اشباع و فعال قرار گرفته و روشن می‌شود. مقدار جریان ورودی به بیس Q_1 در این حالت با نوشتن یک رابطه KVL در ورودی مدار به‌دست می‌آید:

$$I_{B_1} = \frac{V_{CC} - V_{BE(sat)}}{R_B}$$

ولتاژ بیس Q_2 در این حالت معادل با $V_{CE_1(sat)}$ خواهد بود. بنابراین ولتاژ V_{BE_2} در ترانزیستور Q_2 به حد کافی بزرگ نیست تا بتواند Q_2 را روشن کند. به‌همین دلیل Q_2 خاموش شده و جریان کلکتور، امیتر و بیس آن صفر می‌شود. در نتیجه ولتاژ خروجی از پایه کلکتور Q_2 به‌صورت زیر به‌دست می‌آید:

$$V_I = L \rightarrow V_{OH} = V_{C_2} = -R_C I_{C_2} + V_{CC} \rightarrow I_{C_2} = 0 \rightarrow V_{OH} = V_{CC} \simeq 5V$$

حال به‌ازای $V_I = H$ عملکرد مدار را بررسی می‌کنیم. در این وضعیت با توجه به اینکه ولتاژ V_{BE_1} کمتر از مقدار $V_{BE(act)}$ است، اتصال BE در ترانزیستور Q_1 بایاس معکوس و اتصال BC بایاس مستقیم شده و این‌بار جریان ورودی نزدیک به صفر خواهد بود. بنابراین کل جریان بیس Q_1 وارد بیس Q_2 شده و آن را به ناحیه اشباع می‌برد. بنابراین مقدار جریان‌های I_{B_1} و I_{C_2} و ولتاژ خروجی در این حالت به‌صورت زیر به‌دست می‌آید:

$$I_{B_1} = \frac{V_{CC} - V_{BC(sat)} - V_{BE(sat)}}{R_B} \qquad I_{C_2} = \frac{V_{CC} - V_{CE(sat)}}{R_C}$$

$$V_I = H \rightarrow V_{OL} = V_{CE(sat)} \simeq 0/2V$$

نکته ۲: وارونگر پایه TTL به فرم ساده، در خروجی دارای صفر بد (معادل $V_{CE(sat)}$) و یک خوب (معادل V_{CC}) می‌باشد.

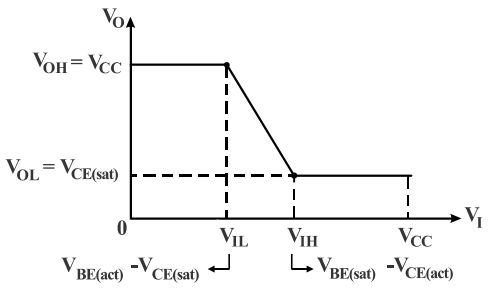
برای محاسبه سایر پارامترهای نمودار VTC نظیر V_{IL} و V_{IH} در فرم ساده وارونگر پایه TTL بایستی مسیر ورودی تا خروجی تحلیل گردد. ولتاژ V_{IL} حداکثر ولتاژی است که به ازای آن ورودی ارزش L دارد و ترانزیستور Q_2 به ازای آن خاموش است. از آنجا که Q_2 به محض روشن شدن در ناحیه فعال قرار می‌گیرد و به‌تدریج وارد ناحیه اشباع می‌شود و Q_1 نیز به ازای $V_I = L$ در حالت اشباع است، می‌توان V_{IL} را با نوشتن یک رابطه KVL به‌صورت مقابل به دست آورد:

$$V_{IL} = -V_{CE(sat)} + V_{BE(act)} \simeq 0/5V$$

ولتاژ V_{IH} حداقل ولتاژی است که به ازای آن ورودی ارزش H دارد و ترانزیستور Q_2 به ازای آن روشن است. با توجه به اینکه Q_2 برای خاموش شدن می‌بایست از ناحیه اشباع خارج شده و تدریجاً وارد ناحیه فعال گردد و Q_1 نیز به ازای $V_I = H$ در ناحیه بایاس معکوس کار می‌کند، می‌توان V_{IH} را با نوشتن یک رابطه KVL به‌صورت زیر به‌دست آورد:

$$V_{IH} = -V_{CE(sat)} + V_{BE(sat)} \simeq 0/6V$$

با توجه به نتایج به‌دست آمده از محاسبات فوق می‌توان نمودار VTC فرم ساده وارونگر پایه TTL را به‌صورت زیر رسم نمود. همان‌طور که ملاحظه می‌شود، شیب نمودار در ناحیه سوئیچینگ (تغییر وضعیت) منفی است، زیرا عملکرد منطقی مدار ماهیتاً معادل وارونگر منطقی است. نکته حائز اهمیت در مورد ناحیه سوئیچینگ نمودار VTC آن است که عرض این ناحیه بسیار کم است (در حد ۰/۱ ولت). بنابراین می‌توان نتیجه گرفت سرعت سوئیچینگ این مدار بسیار بالاست و خروجی با تغییر ولتاژ ورودی، به‌سرعت بین ولتاژ L و H تغییر وضعیت می‌دهد.



نمودار VTC فرم ساده وارونگر پایه TTL

مدرسان شریف

فصل پنجم

«ترانزیستورهای اثر بدنه (MOSFET) و وارونگرهای تکنولوژی NMOS و CMOS»

مقدمه

فصل پنجم به بررسی انواع ترانزیستورهای تکنولوژی MOS (Metal Oxide Semiconductor) می‌پردازد. این فصل در بخش‌های مختلف ابتدا به معرفی ساختار، فرآیند ساخت و عملکرد ترانزیستورهای MOSFET (MOS Field Effect Transistor) پرداخته و **نواحی مختلف کاری MOSFETها** در مدار را بررسی می‌کند. در ادامه نیز **مشخصه عملکرد انواع MOSFET** را از دیدگاه تغییرات جریان ـ ولتاژ بررسی نموده و **روابط الکترونیکی مربوطه** را در نواحی کاری مختلف ارائه می‌نماید. بخش‌های بعدی نیز به بحث در مورد خصوصیات ویژه MOSFET ها از جمله **ولتاژ آستانه فعالیت** در MOSFET، **انتقال ولتاژهای H و L** از ترانزیستورها به عنوان سوئیچ، **اثر بدنه** و .... می‌پردازد.

این فصل پس از معرفی ترانزیستورهای MOSFET به بررسی انواع مدارات پایه در تکنولوژی‌های مختلف MOS می‌پردازد. بدین منظور ابتدا خواننده با تکنولوژی CMOS (Complementary MOS) و ساختار یک **معکوس‌کننده CMOS** به عنوان مدار پایه این تکنولوژی آشنا می‌شود. این بررسی‌ها در قالب **بحث‌های دیجیتال** و **مباحث الکترونیکی** صورت می‌گیرد.

در گام بعد، نمودار **VTC** و پارامترهای آن برای وارونگر تکنولوژی CMOS ارزیابی می‌شود و حاشیه نویز این مدار بررسی می‌گردد. سپس با دیگر **تکنولوژی‌های وابسته به MOSFET** نظیر تکنولوژی‌های NMOS مقاومتی، NMOS افزایشی، NMOS تخلیه‌ای و شبه NMOS آشنا می‌شویم و تفاوت‌های اساسی موجود میان آنها و تکنولوژی CMOS را از جهات گوناگون بررسی می‌کنیم. در این بخش، مدار پایه هر تکنولوژی را در قالب یک معکوس‌کننده دیجیتال طراحی کرده و در مورد رسم VTC آن توضیحاتی را ارائه می‌نماییم (همچون CMOS، معرفی کامل‌تر مدارات تکنولوژی‌های فوق در فصل بعدی انجام خواهد شد). آخرین بخش این فصل به معرفی انواع فن‌آوری‌های رایج در **ساخت معکوس‌کننده‌های تکنولوژی CMOS** و مفهوم پدیده ناخواسته **Latchup** خواهد پرداخت.

درسنامه (۱): ساختار ترانزیستورهای MOSFET

همان‌طورکه از نام **MOS** نیز پیداست، این تکنولوژی حاصل پیوند سه عنصر **Metal (فلز)**، **Oxide (اکسید)** و **Semiconductor (نیمه هادی)** است. البته لازم به ذکر است که نقش اصلی را در این میان نیمه هادی و اکسید ایفا می‌کنند.

شکل روبه‌رو یک شمای کلی از ترانزیستور با سه لایه فوق را نشان می‌دهد. البته با پیشرفت تکنولوژی و لزوم فشرده‌سازی، فلز در لایه بالا به مرور جای خود را به یک رسانای دیگر (پولی‌سیلیکون) داده است. این لایه نه تنها مانند فلز، رسانای بسیار خوبی است بلکه با استفاده از سیلیکون که ماده اصلی در پروسه ساخت می‌باشد، قابل تولید است. بدین ترتیب ماده اصلی تشکیل‌دهنده هر سه لایه سیلیکون است.

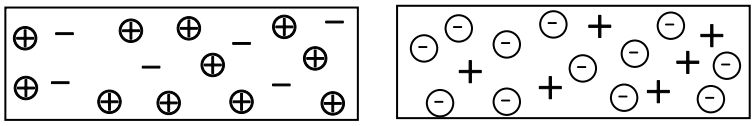
شمای کلی ترانزیستورهای MOSFET

بخش دوم نام این نوع ترانزیستور (FET مخفف Field Effect Transistor) نیز بیان‌گر این موضوع است که در این نوع ترانزیستور، میدان‌های الکتریکی به وجود آمده نقش اصلی را در جریان‌دهی و عملکرد المان بر عهده دارند.

قطعات نیمه هادی با ماهیت مختلف اصلی‌ترین قسمت MOSFET می‌باشند. در ساخت ترانزیستورهای MOSFET معمولاً از دو نیمه هادی نوع n و نوع p استفاده می‌شود. همان‌طور که در فصول قبل نیز اشاره شد، **نیمه هادی نوع n (negative)** حامل بار منفی و **نیمه هادی نوع p (positive)** حامل بار مثبت است. منظور از بار مثبت و منفی در نیمه هادی‌ها، نوع حامل‌های اکثریت در آنهاست.

مفهوم نیمه هادی در علم شیمی به عناصری گفته می‌شود که در گروه‌های میانی جدول مندلیف قرار دارند. خاصیت اصلی این عناصر وجود پایداری الکتریکی بالا به علت تساوی یا نزدیک بودن تعداد الکترون‌ها و حفره‌ها در لایه ظرفیت اتم است. منظور از حفره‌های لایه ظرفیت در این تعریف، فضای خالی از الکترون‌هاست که به شکل بالقوه در لایه ظرفیت اتم‌های عناصر این گروه‌ها وجود دارد. برای ساخت یک نیمه هادی نوع n با بار منفی، یکی از عناصر گروه ۵ یا بالاتر در جدول مندلیف مثل فسفر یا آرسنیک و برای ایجاد یک نیمه هادی نوع p با بار مثبت نیز یکی از عناصر گروه ۳ یا پایین‌تر در جدول مندلیف مانند بور یا آلومینیوم به ساختار نیمه هادی تزریق می‌شوند.

با توجه به توضیحات فوق، می‌توان مفهوم **حامل‌های اکثریت** در نیمه هادی‌ها را به نوع n یا p در آنها مرتبط کرد. در نیمه هادی نوع n به دلیل غلبه بارهای منفی الکترون‌ها به بارهای مثبت حفره‌ها، حامل‌های اکثریت به صورت **الکترون** و در نیمه هادی نوع p حامل‌های اکثریت به شکل **حفره** می‌باشند. شکل زیر به صورت ساده و قابل فهم به نمایش حامل‌های اکثریت می‌پردازد.



(a) حامل‌های اکثریت الکترون در نیمه‌هادی نوع n (b) حامل‌های اکثریت حفره در نیمه‌هادی نوع p

حامل‌های اکثریت در نیمه هادی‌ها

دومین لایه، یعنی اکسید یک ترکیب عایق در مقابل جریان الکتریکی است و کاربرد آن در ترانزیستورهای MOSFET ایجاد یک سطح نارسانا بین بدنه ترانزیستور (لایه سوم) و پایه گیت (لایه اول) آن است. وظیفه پایه گیت اعمال ولتاژ مناسب به ترانزیستور و تغییر وضعیت حامل‌های موجود در دو نیمه هادی است. پایه گیت به دلیل اتصال به اکسید عایق هیچ تبادل جریانی با بدنه ترانزیستور نخواهد داشت، بنابراین جریان گیت صفر است. لازم به ذکر است که معمولاً از **اکسید سیلیسیوم** (SiO_2) به عنوان عایق در MOSFETها استفاده می‌شود. (نحوه انجام این کار در بخش بعدی تشریح می‌گردد.)

ترانزیستور MOSFET المانی چهارسر با خاصیت سوئیچینگ است که حاصل عبور دو لایه نیمه هادی با جنس متفاوت و با واسطه یک لایه اکسید، از روی یکدیگر می‌باشد. این دو لایه نیمه هادی عبارتند از: **پولی سیلیکون** (Poly Silicon) و **نفوذ یا دیفیوژن** (Diffusion). اکسیدی که بین دو لایه نیمه هادی قرار می‌گیرد، نقش عایق را ایفا می‌کند و از اتصال لایه‌ها به هم جلوگیری می‌نماید.

سه پایه اصلی یک ترانزیستور عبارتند از: **گیت**(Gate)، **درین** (Drain) و **سورس**(Source) . پایه گیت تشکیل‌دهنده لایه پولی است و وظیفه آن نیز کنترل ارتباط سورس و درین می‌باشد. پایه‌های سورس و درین مربوط به دو انتهای لایه دیفیوژن می‌باشند و این دو مجموعاً کانال عبور جریان در ترانزیستور را ایجاد می‌کنند.

پایه چهارم به نام بدنه (Body) همان بستر ترانزیستور است. این پایه جهت توضیح اصطلاح **اثر بدنه** (Body Effect) در ترانزیستورها رسم می‌شود و در بخش‌های بعدی مورد بحث قرار می‌گیرد. هر ترانزیستور MOSFET از نظر ساختار داخلی دارای ۳ قسمت اصلی می‌باشد:

الف. بستر سیلیکونی (Substrate) : یک لایه نیمه هادی است که به عنوان پایین‌ترین لایه در ساخت MOSFET به کار می‌رود و یک زمینه مناسب برای ساخت دیگر قسمت‌های آن ایجاد می‌کند. جنس این لایه به گونه‌ای است که از جهت حامل‌های اکثریت با کانال عبور جریان متفاوت است.

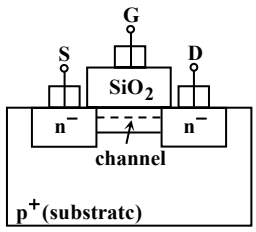
ب. کانال انتقال جریان (Channel): همان لایه نیمه هادی دیفیوژن شکل گرفته در زیر گیت است که پس از شکل‌گیری باعث عبور جریان می‌شود و ترانزیستور را به یک سوئیچ بسته تبدیل می‌کند. چنان‌چه این کانال شکل نگیرد، ترانزیستور همانند یک اتصال باز در مدار عمل می‌کند. این همان خاصیت سوئیچینگ است که در مورد آن صحبت شده بود. کانال جریان از جهت حامل‌های اکثریت می‌تواند از **نوع n (شامل حامل‌های اکثریت الکترون)** یا **نوع p (شامل حامل‌های اکثریت حفره)** باشد.

ج. گیت کنترل کانال (Gate): این قسمت به پایه گیت ترانزیستور اشاره دارد که وظیفه آن تغییر وضعیت MOSFET بین دو حالت اتصال باز و اتصال کوتاه است. با اعمال ولتاژ مناسب به این پایه و ایجاد اختلاف پتانسیل مطلوب بین گیت و سورس، می‌توان کانال انتقال جریان را کنترل نمود و عرض آن را تغییر داد. تغییر عرض کانال و نهایتاً تغییر شدت جریان گذرنده از کانال می‌تواند وضعیت MOSFET را به عنوان یک سوئیچ تغییر دهد. در ادامه بیشتر با جزئیات این کار آشنا خواهیم شد. MOSFET ها از نظر ساختار و جنس حامل‌های اکثریت در دیفیوژن، به سه دسته مختلف تقسیم می‌شوند.

۱ـ ترانزیستورهای افزایشی نوع n (n-type Enhancement)

در این نوع ترانزیستور، کانال با اعمال ولتاژ مثبت V_{GS} شکل گرفته، عرض آن با افزایش این ولتاژ به شکل افزایشی تغییر می‌کند. این ترانزیستورها در شرایط عادی و بدون اعمال ولتاژ به پایه‌های گیت، سورس و درین، مانند یک **سوئیچ باز** عمل می‌کنند و اجازه عبور جریان الکتریکی بین سورس و درین را نمی‌دهند. در این حالت عرض کانال MOSFET صفر است. با تغییر ولتاژ گیت می‌توان به تدریج عرض کانال را افزایش و ترانزیستور را در ناحیه هدایت جریان قرار داد. ترانزیستور در این حالت مانند یک **سوئیچ بسته** عمل می‌کند.

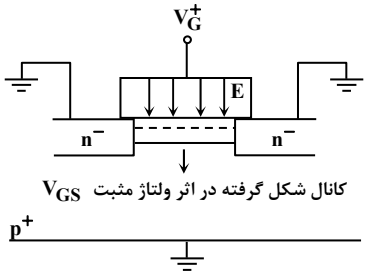
در ترانزیستورهای افزایشی نوع n حامل‌های اکثریت درون کانال از نوع n و حامل‌های اکثریت در قسمت Substrate از نوع p می‌باشند. شکل زیر مقطع عرضی یک ترانزیستور افزایشی نوع n را نشان می‌دهد.



N – Enhancement

ترانزیستور افزایشی نوع n

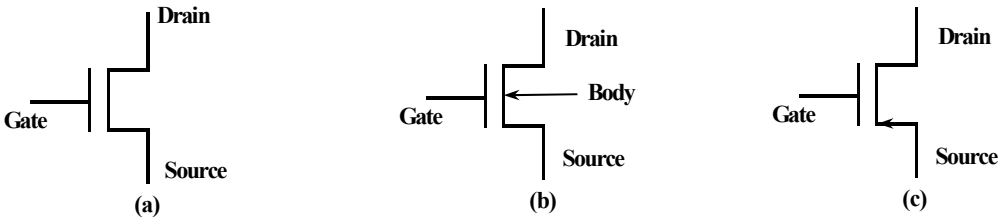
در حالت نخست فرض کنید که $V_{GS} = 0$ می‌باشد و تمامی اتصالات زمین هستند، یعنی ولتاژی به ترانزیستور اعمال نمی‌شود. بدیهی است که هیچ جریانی در مدار برقرار نیست. با اعمال ولتاژ به پایه گیت، تمایل الکترون‌ها به تجمع در زیر ناحیه اکسید و گیت افزایش می‌یابد. این حرکت الکترون‌ها به زیر لایه اکسید در اثر میدان الکتریکی ایجاد شده در بالا به وجود می‌آید. بدین ترتیب ساختار مطابق شکل روبه‌رو خواهد بود. پرواضح است که پیش از شکل‌گیری این کانال ابتدا یک ناحیه تخلیه در ترانزیستور به وجود می‌آید.



میدان الکتریکی MOSFETها

اما با افزایش ولتاژ گیت، الکترون‌ها در زیر لایه اکسید تجمع می‌کنند و کانال را تشکیل می‌دهند. این معکوس‌شدگی نوع نیمه هادی در زیر گیت را معکوس‌شدگی قوسی نیز می‌نامند. مقدار ولتاژی که باید بین گیت و سورس اعمال گردد تا این اتفاق رخ دهد، ولتاژ آستانه (V_T) نامیده می‌شود $(V_{tn} = +0/2V_{DD})$. در برخی موارد مقدار ولتاژ آستانه بدون لحاظ کردن اثر بدنه را با V_{T_0} نیز نشان می‌دهند. علامت V_T برای ترانزیستورهای نوع n و p متفاوت می‌باشد. بعد از شکل‌گیری کانال، افزایش ولتاژ V_{GS} دیگر تأثیر چندانی بر شدت جریان نخواهد داشت. برای آن که بتوان شدت جریان را افزایش داد، باید ولتاژی مثبت بین دو پایه درین ـ سورس $(V_{DS} > 0)$ اعمال گردد. با اعمال چنین ولتاژی حرکت الکترون‌ها از سورس به درین افزایش می‌یابد. به بیان دیگر با افزایش V_{DS}، جریان الکتریکی از درین به سورس بیشتر می‌شود. علت این جریان نیز میدان الکتریکی به وجود آمده از درین به سورس است.

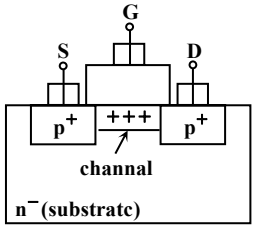
شکل زیر ترانزیستور MOSFET افزایشی نوع n را به صورت یک المان مداری نشان می‌دهد. در **قسمت (a)** نمادی را مشاهده می‌کنید که بیشتر در طراحی مدارات ترانزیستوری دیجیتال به کار می‌رود و ترانزیستور را درنقش یک **سوئیچ** معرفی می‌کند. نماد **قسمت (b)** علاوه بر سه پایه مهم MOSFET، **پایه اتصال بدنه** آن را نیز نشان می‌دهد. فلش رو به داخل در این پایه به معنی وجود حامل‌های اکثریت الکترون در کانال ترانزیستور است. در نماد **قسمت (c)** نیز فرض بر این است که با **اتصال پایه بدنه ترانزیستور به سورس**، اثر بدنه حذف شده است. در ادامه همین فصل اثر بدنه تشریح خواهد شد.



المان‌های مداری ترانزیستور افزایشی نوع n

۲ـ ترانزیستورهای افزایشی نوع p (p-type Enhancement)

همان‌طورکه از اسم این نوع ترانزیستور پیداست، باز هم کانال در شرایط عادی بسته است و با اعمال اختلاف پتانسیل مناسب بین پایه‌های گیت و سورس می‌توان عرض آن را افزایش داد. بنابراین در شرایط صفر بودن عرض کانال ترانزیستور مانند یک **سوئیچ باز** و با افزایش عرض کانال و انتقال جریان از درون آن ترانزیستور مانند یک **سوئیچ بسته** رفتار می‌نماید. شکل مقابل مربوط به مقطع عرضی یک ترانزیستور افزایشی نوع p است.

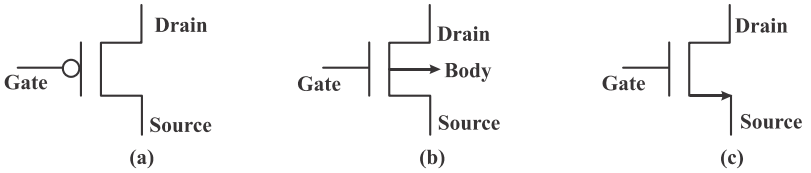


P – Enhancement

ترانزیستورهای افزایشی نوع p

کانال ترانزیستور نوع p حاوی حامل‌های اکثریت حفره است. با ایجاد اختلاف پتانسیل منفی در پایه گیت نسبت به پایه سورس حامل‌های اکثریت الکترون موجود در زیر لایه اکسید در بدنه دفع شده، کانال درین ـ سورس با عرض مشخص ایجاد می‌شود. در صورتی که اندازه (قدر مطلق) ولتاژ V_{GS} بیشتر از اندازه (قدر مطلق) **ولتاژ آستانه هدایت ترانزیستور** نوع p $(V_{tp} = -0/2V_{DD})$ باشد، این کانال **آمادگی عبور جریان** را خواهد داشت. پس از گشودن کانال، با ایجاد یک ولتاژ منفی در پایه درین نسبت به سورس $(V_{DS} < 0)$، می‌توان جریان درون کانال را از سورس به درین ایجاد نمود.

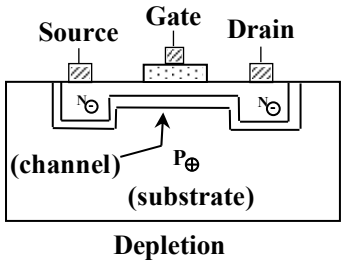
در شکل زیر نمادهای مداری یک ترانزیستور افزایشی نوع p را مشاهده می‌کنید. در **قسمت (a)** ترانزیستور p در نقش یک **سوئیچ با ورودی AL** و در **قسمت (b)** نیز سه پایه ترانزیستور p همراه با **پایه بدنه** درون شکل رسم گردیده است. در **قسمت (c)** با **اتصال پایه بدنه به سورس** اثر بدنه حذف شده است.



المان‌های مداری ترانزیستور افزایشی نوع p

۳ـ ترانزیستورهای کاهشی یا تخلیه‌ای (Depletion)

ساختار ترانزیستورهای تخلیه‌ای بر عکس نوع افزایشی به گونه‌ای است که کانال انتقال جریان در آنها به صورت پیش فرض و در شرایط عادی با عرض مشخص ایجاد گردیده است. به همین دلیل این ترانزیستورها در نقش سوئیچ به صورت بسته فرض می‌شوند. می‌توان با کنترل ولتاژ پایه گیت ترانزیستور، عرض کانال را تا حد بسته شدن کاهش داد. این ترانزیستور از نظر جنس لایه‌ها تقریباً مشابه ترانزیستور نوع n است اما **ولتاژ آستانه قطع کانال** در آن تقریباً برابر با $(V_{td} = -0/6V_{DD})$ است.



مقطع عرضی ترانزیستور تخلیه‌ای

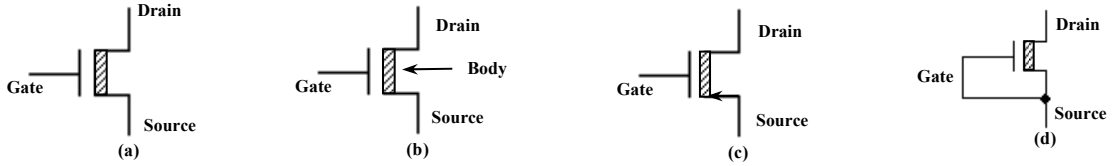
شکل مقابل مقطع عرضی یک ترانزیستور تخلیه‌ای را نشان می‌دهد. کانال این نوع ترانزیستورها شامل حامل‌های اکثریت الکترون است، بنابراین برای کاهش عرض کانال و رساندن آن به صفر باید یک اختلاف پتانسیل منفی با مقداری کمتر از V_{td} در پایه گیت (نسبت به سورس) ایجاد شود. این کار باعث جذب بارهای مثبت بستر در ناحیه کانال بین سورس و درین می‌شود و عرض کانال را کاهش می‌دهد. لازم به ذکر است که جریان کانال در ترانزیستور تخلیه‌ای از پایه درین به سورس منتقل می‌شود، بنابراین $V_{DS} > 0$ **شرط انتقال جریان** در کانال است.

کاربرد ترانزیستور MOSFET تخلیه‌ای عمدتاً ایفای نقش **المان pullup (بالاکش)** در مدارات ترانزیستوری است. زیرا به دلیل حجم بالای مقاومت‌ها درون مدارات مجتمع نمی‌توان از آنها استفاده کرد و بایستی این المان‌ها را با ترانزیستورهای مناسب جایگزین نمود. بنابراین انتظار می‌رود که این ترانزیستور در نقش **مقاومت** عمل کند وکانال آن همیشه متصل باشد. به همین دلیل معمولاً گیت و سورس ترانزیستور تخلیه‌ای را اتصال کوتاه می‌کنند تا $V_{GS} = 0$ شود و ترانزیستور همواره در ناحیه هدایت قرار گیرد.

شکل زیر، نمادهای رایج برای نمایش ترانزیستور تخلیه‌ای را نشان می‌دهد. در **قسمت (a)** فقط **سه پایه اصلی ترانزیستور** رسم شده‌اند و اتصال بدنه در شکل دیده نمی‌شود. این نماد رایجتر از نماد **قسمت (b)** با رسم **پایه‌ای به عنوان بدنه** است.

زیرا **معمولاً این پایه به سورس متصل می‌شود** و به به طور مستقل نقشی در عملکرد ترانزیستور ندارد (**قسمت (c)**). **قسمت (d)** مربوط به یک ترانزیستور تخلیه‌ای در نقش **طبقه pull up مدار** است.

اتصال کوتاه گیت و سورس در این ترانزیستور باعث جلوگیری از قطع شدن کانال سورس ـ درین می‌شود.



المان‌های مداری ترانزیستور تخلیه‌ای

مدرسان شریف

فصل ششم

«مدارات ایستا و پویا مبتنی بر MOSFET»

مقدمه

مطالب این فصل در شش بخش تنظیم و به ترتیب زیر ارائه گردیده است. بخش نخست به بررسی **مدارات سوئیچینگ** و چگونگی پیاده‌سازی یک ضابطه منطقی با ترکیب سوئیچ‌ها می‌پردازد. در این بخش ترانزیستورهای MOSFET نوع n و p به عنوان **سوئیچ‌های انتقال ولتاژ** معرفی می‌شوند. مهمترین مفهومی که در بخش نخست مورد بحث قرار می‌گیرد، مفهوم **اتصالات سری و موازی** در سوئیچ‌های انتقال ولتاژ است. این مفهوم اساس بحث ساخت مدارات منطقی دیجیتال به کمک قطعات و المان‌های الکترونیکی همچون MOSFETها را تشکیل می‌دهد.

در بخش دوم، ترانزیستورهای MOSFET را همچون سوئیچ‌های انتقال ولتاژ به کار برده، **تکنولوژی ترانزیستورهای عبور** (PTL) را مطرح می‌کنیم. پایه این تکنولوژی بر اتصال سری ـ موازی کانال در ترانزیستورهای MOSFET و کنترل اتصالات به کمک پایه گیت آنها استوار است.

بخش سوم به بررسی مهمترین عیب تکنولوژی PTL ، یعنی عبور منطق یک و صفر از کانال ترانزیستورها با سطوح ولتاژ متفاوت می‌پردازد. این موضوع در فصل قبل نیز مورد بررسی قرار گرفت. در آنجا اشاره شد که خاصیت ترانزیستورهای n و p در انتقال ولتاژ منجر به این اتفاق می‌شود. در این بخش با ارائه **تکنولوژی دروازه انتقال** (TG) سعی می‌شود عیب ذکر شده برای تکنولوژی PTL رفع شود و سطوح ولتاژ خروجی بهبود یابد. لازم به ذکر است که طراحان معمولاً برای طراحی تراشه‌هایی مانند **دیکودر** و **مالتی پلکسر** از تکنولوژی‌های PTL و TG استفاده می‌کنند.

بخش چهارم، دیدگاه متفاوتی از طراحی مدارات منطقی به کمک ترانزیستورهای MOSFET را ارائه می‌کند که اساس آن مبتنی بر **انتقال ولتاژ منبع تغذیه یا زمین مدار** به خروجی توسط اتصالات ترانزیستوری است. مقدمه تکنولوژی‌های مورد بحث در این بخش، قبلاً تحت عنوان مدارات پایه ترانزیستوری ذکر گردیده است، اما در اینجا قصد داریم به تکمیل آن بحث پرداخته، نحوه طراحی سایر مدارات منطقی به کمک تکنولوژی‌های مختلف را تشریح نماییم. تکنولوژی‌هایی که به بررسی آن‌ها خواهیم پرداخت عبارتند از: **NMOS مقاومتی، NMOS افزایشی، شبه NMOS ، NMOS تخلیه‌ای و CMOS**. لازم به ذکر است که کار با ترانزیستورهای MOSFET در مدارات به اتصالات سری و موازی ختم نمی‌شود و طراحان گاهی با به کارگیری **ساختارهای ستاره و مثلث** اقدام به طراحی مدار می‌کنند. این موضوع نیز از جمله موضوعاتی است که در ادامه مباحث این بخش مورد توجه و بررسی قرار می‌گیرد.

در ادامه این فصل و در بخش پنجم به بررسی تکنولوژی‌های پویا مبتنی بر CMOS و نحوه‌ی اعمال کلاک پالس در آن‌ها به منظور طراحی مدارات ترتیبی پرداخته و فازهای عملکردی این مدارات را توضیح می‌دهیم. تکنولوژی‌های مورد بحث در این بخش عبارتند از: **CMOS پویا (Dynamic CMOS)، CMOS دامینو (Domino CMOS)، CMOS کلاک‌دار C^2MOS (Clocked CMOS)، n-p CMOS (NORA)، ZIPPER و PIPELINE**. پس از بررسی این شش مورد، **تکنولوژی CMOS تفاضلی (Differential CMOS)** را بررسی می‌کنیم که مبتنی بر طبقات دوگان MOSFET نوع n است و سپس **تکنولوژی ترکیبی BiCMOS** را معرفی می‌کنیم که ترکیبی از دو فن‌آوری **ترانزیستورهای دوقطبی** (Bipolar) و **ترانزیستورهای نیمه هادی** (MOSFET) می‌باشد و به خوبی از خواص هر دو فن‌آوری بهره می‌برد. بحث انتهایی در این بخش مربوط به **تکنولوژی‌های مبتنی بر خازن و مقاومت ورودی** (FGMOS یا Floating Gate MOS) است که برای طراحی برخی توابع به‌کار می‌رود.

نهایتاً در بخش آخر به بررسی روش‌های طراحی مدارات و چند نمونه از مدارات کاربردی مهم در این زمینه خواهیم پرداخت که مدارات مورد بحث عبارتند از: **انواع دروازه‌های XOR، انواع مدارات جمع‌کننده، فلیپ‌فلاپ و ساختار مدارات سازنده‌ی کلاک در آن‌ها و حافظه‌های ذخیره‌سازی اطلاعات**.

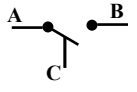
درسنامه (۱): تکنولوژی‌های مبتنی بر سوئیچینگ

مدارات منطقی سوئیچینگ

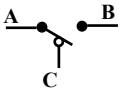
منظور از **سوئیچ** در مدارات سوئیچینگ، المانی **سه سر** و **قابل کنترل** است که یک پایه آن **کنترلی** و دو پایه دیگر **مبدأ** و **مقصد** انتقال ولتاژ هستند. کاربر با اعمال ولتاژ مناسب به پایه کنترل سوئیچ، می‌تواند وضعیت دو پایه دیگر را به صورت **اتصال باز (قطع) یا اتصال کوتاه (وصل)** در آورد. به دست که در مقدمه بحث نیز ذکر شده است، با این المان‌های سه سر می‌توان اقدام به ساخت مدارات منطقی نمود. برای انجام این کار، ابتدا بایستی با انواع سوئیچ‌ها و نحوه عملکرد آن‌ها آشنا شویم. شکل زیر دو نوع سوئیچ رایج در مدارات سوئیچینگ را نشان می‌دهد.

C	A	B
0	X	OC
1	0	0
1	1	1

(OC: Open Circuit)



(Active High)



(Active Low)

C	A	B
1	X	OC
0	0	0
0	1	1

(OC: Open Circuit)

انواع سوئیچ‌های انتقال ولتاژ

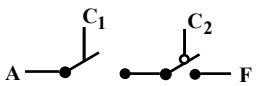
مطابق شکل فوق دو نوع سوئیچ در مدارات سوئیچینگ وجود دارد: **سوئیچ‌های فعال بالا** (AH) و **سوئیچ‌های فعال پایین** (AL). در سوئیچ‌های AH، با اعمال ولتاژ یک منطقی به پایه کنترل C، پایه‌های A و B را به یکدیگر متصل و با اعمال ولتاژ صفر منطقی به آن، ارتباط آن قطع می‌شود. این وضعیت در سوئیچ‌های AL دقیقاً برعکس است: یک بودن پایه C منجر به قطع ارتباط و صفر بودن آن باعث اتصال A و B به یکدیگر می‌شود.

این خاصیت در پایه کنترل سوئیچ باعث بی‌نیازی طراح از به کار بردن دروازه‌های معکوس‌کننده در قسمت‌های داخلی مدار می‌شود. در بخش‌های بعدی خواهیم دید که چگونه می‌توان این دو سوئیچ را به ترتیب با MOSFETهای نوع n و p شبیه‌سازی نمود.

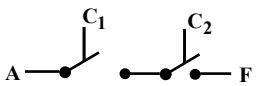
گام دوم در شناخت و طراحی مدارات سوئیچینگ، آشنایی با **اتصالات سری ـ موازی** سوئیچ‌هاست. از آنجا که وظیفه اصلی این سوئیچ‌ها **انتقال ولتاژ از نقطه‌ای به نقطه دیگر** است، سری بودن آن‌ها به این معنی است که ولتاژ یک سر این مجموعه تنها زمانی به سر دیگر راه می‌یابد که تمامی سوئیچ‌ها در وضعیت اتصال قرار داشته باشند. کافی است حداقل یکی از سوئیچ‌ها قطع باشد تا کل مسیر قطع گردد و انتقال ولتاژ انجام نشود.

بنابراین با **سری کردن چند سوئیچ** به شکل متوالی، شرط اتصال مسیر و انتقال ولتاژ در آن با **AND کردن تک‌تک شرط‌های انتقال** سوئیچ‌های درون مسیر به دست می‌آید. این معادل‌سازی اتصال سری با دروازه منطقی AND از آنجا نتیجه می‌شود که در گیت AND نیز یک شدن خروجی به معنای یک بودن تمامی ورودی‌های AND به‌صورت همزمان یک می‌باشد، اما صفر شدن حداقل یکی از ورودی‌ها می‌تواند مستقل از مقدار دیگر ورودی‌ها، خروجی را صفر کند. البته ذکر این نکته نیز الزامی است که هنگام AND کردن شرط انتقالی سوئیچ‌ها باید ضابطه **پایه کنترل سوئیچ‌های AH را بدون تغییر** و ضابطه **پایه کنترل سوئیچ‌های AL را با یک گیت NOT** در ضابطه خروجی AND اعمال گردند.

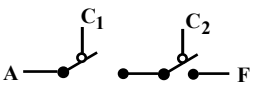
شکل زیر معادل‌سازی اتصال سری سوئیچ‌ها و ضابطه کنترلی حاصل از آن را نشان می‌دهد. همان‌طور که در شکل مشاهده می‌شود، **ورودی نیز به همراه جملات کنترلی سوئیچ‌ها در عملیات AND شرکت می‌کند.**



$(F = C_1.\bar{C}_2.A)$



$(F = C_1.C_2.A)$

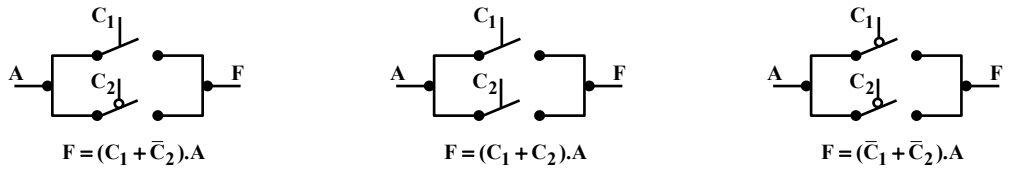


$(F = \bar{C}_1.\bar{C}_2.A)$

معادل سازی اتصال سری سوئیچ‌ها

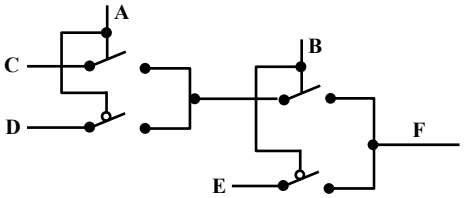
معنی موازی بودن سوئیچ‌ها این است که برای برقراری ارتباط خروجی با ورودی کافی است حداقل یکی از سوئیچ‌ها بسته باشد. بدین ترتیب حتی در صورت باز بودن سایر سوئیچ‌ها نیز خروجی مقدار ورودی را می‌پذیرد و سیگنال آن را دنبال می‌کند. بنابراین برای معادل‌سازی **اتصال موازی چند سوئیچ** انتقال ولتاژ، **ضابطه پایه کنترل آن‌ها با یکدیگر OR می‌شود**. دلیل استفاده از این دروازه در معادل‌سازی اتصالات موازی، تشابه عملکردی آنها می‌باشد. در یک گیت OR نیز با یک کردن حداقل یکی از ورودی‌ها می‌توان خروجی را یک نمود. اما برای صفر کردن خروجی باید کل ورودی‌های OR صفر باشند. این درست مشابه قطع ارتباط ورودی و خروجی با قطع کردن تمامی سوئیچ‌های موجود در یک اتصال موازی است.

شکل زیر معادل‌سازی اتصالات موازی با گیت OR را نشان می‌دهد و در هر حالت ضابطه به دست آمده از معادل‌سازی را مشخص می‌کند. در این نوع اتصالات نیز ورودی برای انتقال به خروجی باید با ضابطه حاصل از پایه‌های کنترلی AND شود.



معادل سازی اتصال موازی سوئیچ‌ها

مثال۱: اگر هریک از ورودی‌های شبکه سوئیچینگ مقابل بتواند به شکل ساده یا معکوس (همراه با NOT) اعمال شود، حداکثر چند ضابطه منطقی می‌توان با مدار روبه‌رو ساخت؟



۱) ۱۰ تابع

۲) ۳۲ تابع

۳) $۲^{۱۰}$ تابع

۴) $۲^{۳۲}$ تابع

☑ **پاسخ:** گزینه «۴» با توجه به اتصالات سری ـ موازی سوئیچ‌ها می‌توان ضابطه خروجی F را به‌صورت زیر به دست آورد:

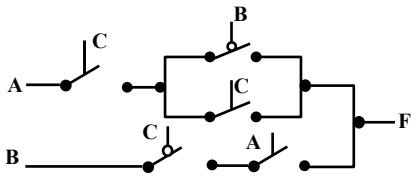
$$F = \bar{B}E + B(AC + \bar{A}D)$$

برای یافتن ضابطه فوق اتصالات سری به‌صورت AND منطقی و اتصالات موازی نیز به شکل OR منطقی تفسیر می‌شوند. پس از به‌دست آوردن ضابطه F، طبق قرارداد صورت مسئله هریک از ورودی‌ها می‌بایست به شکل معمولی یا همراه با عمل NOT وارد مدار گردد. بدین ترتیب طبق اصل شمارش، تعداد ضوابطی که بدین طریق به دست خواهد آمد به ازای ۵ ورودی A تا E به‌صورت زیر محاسبه می‌شود:

$$\text{تعداد ضوابط} \Rightarrow ۲^{۳۲} = ۲\times۲\times۲\times۲\times۲ = ۳۲ = \text{تعداد ردیف‌های جدول صحت}$$

پس از آشنایی با مدارات سوئیچینگ و اتصالات سری ـ موازی در آن‌ها، به بررسی یک مثال در این مورد می‌پردازیم. شکل زیر را در نظر بگیرید. این مدار دارای سه ورودی A و B و C می‌باشد که مطابق با ساختار ارائه شده، برخی در ورودی و برخی در پایه کنترل سوئیچ‌ها قرار گرفته‌اند. سوئیچ‌ها نیز به صورت AH یا AL در مدار مشاهده می‌شوند. برای تحلیل چنین مداری باید یک شکل شامل ورودی‌ها و خروجی‌های مدار رسم کنیم و با تعیین **حالات مختلف ورودی (۲^n حالت به ازای n متغیر مختلف)** و یافتن **وضعیت سوئیچ‌ها** به ازای هر ترکیب ورودی، خروجی را محاسبه نماییم.

A	B	C	F
۰	۰	۰	OC
۰	۰	۱	۰
۰	۱	۰	OC
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱



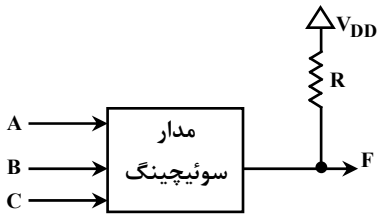
یک مدار سوئیچینگ دلخواه با جدول صحت و ضابطه منطقی

منظور از عبارت **OC** در شکل فوق این است که خروجی هیچ ارتباطی با ورودی‌های مدار ندارد و اصطلاحاً در حالت **مدارباز (اتصال باز)** قرار گرفته است. اگر بخواهیم مدارات سوئیچینگ دقیقاً مانند مدارهای منطقی با **خروجی دو وضعیتی** کار کنند، باید شرایط OC از مدار حذف شده، ۱ یا ۰ در خروجی جایگزین گردد. جایگزینی OC با صفر یا یک شرایط متفاوتی دارد که در ادامه بررسی خواهد شد.

اگر در خروجی مدار یک **مقاومت بالاکش** قرار داده، خروجی را با واسطه آن به منبع ولتاژ متصل نماییم، **مقادیر OC به بیت ۱ تبدیل می‌شوند**. زیرا با قطع ارتباط خروجی با ورودی‌های مدار، جریان گذرنده از مقاومت بالاکش صفر شده، **افت پتانسیل بین خروجی و منبع تغذیه** از بین می‌رود و این دو به یکدیگر متصل می‌گردند ($V_F = V_{DD}$).

شکل زیر چگونگی اضافه شدن مقاومت بالاکش و عملکرد مدار را در این حالت نشان می‌دهد.

A	B	C	F
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۱
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱

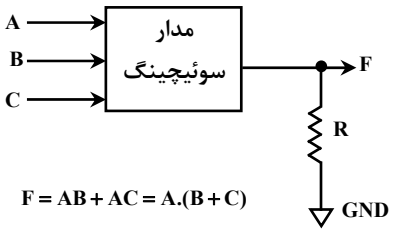


$F=\bar{A}\bar{C}+AC+AB=A\odot C+AB$

افزودن مقاومت بالاکش به مدار سوئیچینگ

در شکل فوق می‌توان دید نتیجه با عبارت ساده شده مدار سوئیچینگ اصلی متفاوت است. حال مقاومت بالاکش را با یک **مقاومت پایین‌کش** بین خروجی و زمین جایگزین می‌نماییم. این عمل باعث می‌شود هنگام قطع ارتباط خروجی با ورودی‌ها، هیچ جریانی از مقاومت پایین کش نگذرد و **اختلاف پتانسیل بین خروجی و زمین** صفر و در نتیجه خروجی به زمین مدار متصل گردد ($V_F = GND$). شکل زیر به همین موضوع اشاره دارد و جدول عملکرد مدار F را با تبدیل مقادیر OC به صفر نشان می‌دهد. مطابق شکل، ضابطه نهایی به دست آمده برای F در این حالت کاملاً مشابه ضابطه مدار سوئیچینگ اولیه است. دلیل این موضوع اضافه نشدن منطق یک در خروجی می‌باشد. زیرا چنان‌چه هیچ‌کدام از ورودی‌ها نتوانند خروجی را تولید نمایند، خروجی با اتصال به زمین صفر خواهد بود. با توجه به ثابت بودن پارامترهای تولیدکننده یک منطقی در خروجی، عبارت نهایی مدار نیز تغییر نمی‌کند.
بنابراین برای اصلاح عملکرد مدارات سوئیچینگ در چنین حالتی بهتر است خروجی را با واسطه یک المان خطی پایین‌کش (مانند مقاومت) به زمین متصل نماییم.

A	B	C	F
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱



$F = AB + AC = A.(B + C)$

افزودن مقاومت پایین‌کش به مدار سوئیچینگ

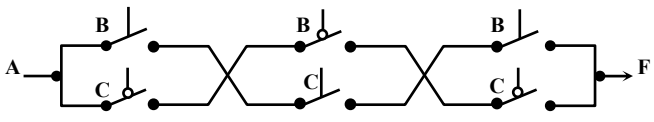
مثال۲: در صورت pull up کردن خروجی مدار سوئیچینگ زیر با یک مقاومت R، ضابطه خروجی چیست؟

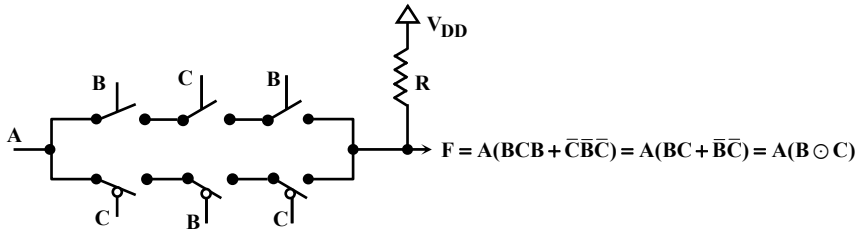
۱) $F = ABC$

۲) $F = A + (B \oplus C)$

۳) $F = A\bar{B}\bar{C}$

۴) $F = A(B \odot C)$





☑ **پاسخ:** گزینه «۲» با افزودن مقاومت بالاکش به مدار فوق و جابه‌جایی سوئیچ‌های حلقه وسط به منظور ساده‌سازی مسیرهای ورودی تا خروجی، شکل مدار به‌صورت مقابل خواهد شد:

مدرسان شریف

فصل هفتم

«پارامترهای ارزیابی کارایی مدارهای دیجیتال»

مقدمه

این فصل به معرفی پارامترهای لازم برای **ارزیابی کارایی مدارهای دیجیتال** می‌پردازد. مهمترین موارد در میان این پارامترها عبارتند از: **تأخیر زمانی، توان مصرفی و سطح تراشه**. این سه عامل در سه بخش به طور جداگانه بررسی می‌شوند و نحوه استفاده از آنها در ارزیابی تراشه‌ها مورد بحث قرار می‌گیرد.

پارامتر تأخیر که در نخستین بخش بررسی می‌شود، با دو عامل **مقاومت** و **خازن** در مدار ارتباط مستقیم دارد. از آنجا که مدارات مورد بحث در این درس به صورت ترانزیستوری طراحی می‌شوند، بحث در مورد این دو پارامتر در ترانزیستورهای MOSFET ضروری به نظر می‌رسد. به همین دلیل قسمت ابتدایی این بخش به بررسی و محاسبه این دو پارامتر در مدارات ترانزیستوری اختصاص یافته است. در ادامه، نحوه محاسبه **تأخیر در وارونگرهای ترانزیستوری** بیان می‌شود و جزئیات آن بررسی می‌گردد.

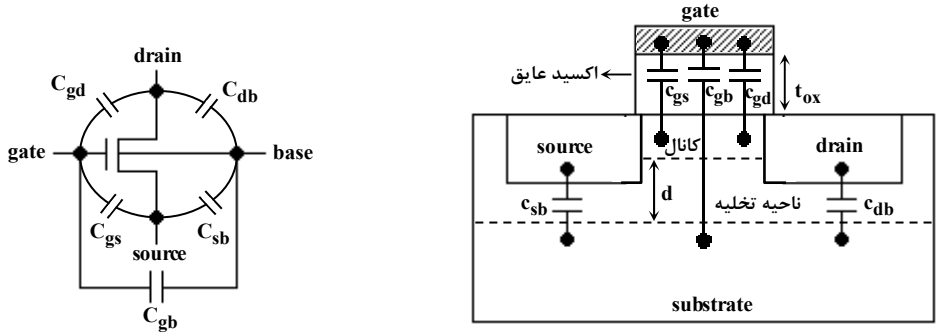
در بخش دوّم ابتدا جهت آشنایی با **توان مصرفی یک تراشه** و نحوه محاسبه آن در قالب دو مفهوم **توان ایستا** (Static Power) و **توان پویا** (Dynamic Power)، بحثهایی در این خصوص ارائه می‌گردد و سپس بحث **توان مصرفی در وارونگرهای ترانزیستوری** مطرح می‌شود. از آنجا که هم تأخیر تراشه و هم توان مصرفی آن، جزو **خصوصیات منفی** در طراحی تراشه‌ها به حساب می‌آیند و در برخی موارد بهبود یکی از دو پارامتر منجر به خرابی عامل دوم می‌گردد، بنابراین معمولاً در ارزیابی یک مدار دیجیتال این پارامترها را به صورت همزمان بررسی می‌کنند. معیاری که جهت دستیابی به این هدف مطرح می‌شود، **حاصل‌ضرب توان در تأخیر** است. درصورتی‌که این حاصل‌ضرب در یک مدار کاهش یابد، می‌توان نتیجه گرفت بهبود هریک از این پارامترها قربانی افزایش پارامتر دیگر نشده و برآیند تغییرات در طراحی نتیجه مثبت داشته است.

بخش سوم هم به مبحث **سایزبندی ترانزیستورها** به منظور دستیابی به تقارن طبقات بالاکش و پایین‌کش اختصاص می‌یابد.

درسنامه (۱): خازن و مقاومت لایه‌ای در MOSFETها

خازن‌های MOSFET

با بررسی عملکرد ترانزیستور MOSFET در شرایط دینامیک و مطالعه نتایج به دست آمده می‌توان به وجود **پنج خازن داخلی** در آن پی‌برد. این خازنها بین لایه‌های مختلف با بار متفاوت ایجاد می‌شوند و **رفتار پارازیتی** ترانزیستور را شکل می‌دهند. مدل لایه‌ای ترانزیستور مناسب‌ترین بستر برای نمایش خازنهای درون آن می‌باشد. شکل زیر در هر دو حالت لایه‌ای و مداری خازن‌های موجود در یک MOSFET را به تصویر می‌کشد.



خازن‌های مختلف درون یک MOSFET

هریک از خازن‌های فوق نشان‌دهنده پارامتر خاصّی می‌باشد. این پارامترها عبارتند از:

C_{gb}: خازن موجود **بین پولی و زیرلایه بستر** (که خود شامل دو خازن فرعی دیگر می‌باشد).

C_{db}: خازن موجود **بین درین و زیرلایه بستر** با واسطه ناحیه تخلیه اطراف درین

C_{sb}: خازن موجود **بین سورس و زیرلایه بستر** با واسطه ناحیه تخلیه اطراف سورس

C_{gs}: خازن موجود **بین پولی و سورس** با واسطه اکسیدگیت

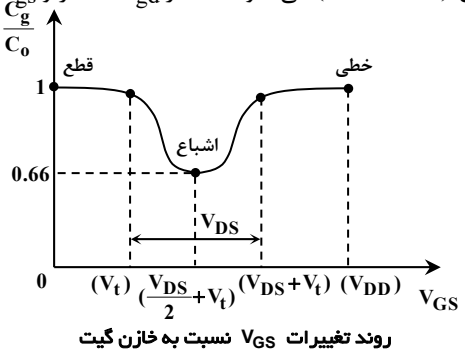
C_{gd}: خازن موجود **بین پولی و درین** با واسطه اکسیدگیت

هریک از خازنهای مرتبط با گیت در لیست فوق بسته به اینکه ترانزیستور در چه ناحیه‌ای فعالیت می‌کند، از رابطه خاصی به دست می‌آید. سه مورد از خازن‌های مذکور به گیت ترانزیستور مربوط می‌شوند که در شکل زیر آمده‌اند. در این شکل منظور از t_{ox} **یا** D **ضخامت لایه اکسید** و منظور از A **سطح مقطع گیت** ترانزیستور می‌باشد. پارامترهای ε_{ins} **و** $\varepsilon_\circ$ نیز مطابق فصول قبل، به ترتیب عبارتند از: **ثابت دی الکتریک خلأ** $\left(\varepsilon_\circ = ۸/۸۵\times۱۰^{-۱۴}\ \frac{F}{cm}\right)$ و **ثابت دی‌الکتریک اکسید عایق** $(\varepsilon_{ins} = ۴)$. حاصلضرب این دو پارامتر، ثابت $\left(\varepsilon_{ox} = ۳/۵۴\times۱۰^{-۱۳}\ \frac{F}{cm}\right)$ را می‌سازد. خازن C_g در مدل ترانزیستوری حاصل **توازی سه خازن** C_{gd} **و** C_{gb} **و** C_{gs} است. به همین دلیل در شکل زیر از جمع این سه خازن به دست آمده است.

خازن گیت	ناحیه قطع	ناحیه اشباع	ناحیه خطی
C_{gb}	$\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$	$\circ/۶۶\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$	$\circ/۵\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$
C_{gs}	$\circ$	$\circ$	$\circ/۵\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$
C_{gd}	$\circ$	$\circ$	$\circ$
$C_g = C_{gb} + C_{gs} + C_{gd}$	$\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$	$\circ/۶۶\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$	$\left[\frac{\varepsilon_\circ\varepsilon_{ins}A}{D}\right]$

اندازه خازن‌های وابسته به گیت در نواحی مختلف فعالیت MOSFET

لازم به ذکر است که خازن میان گیت و نواحی سورس و درین به دلیل به وجود آمدن کانال در زیر گیت تشکیل می‌شود. در ترانزیستورهای MOSFET عموماً فرض بر این است که بارهای الکتریکی موجود در کانال به‌صورت مساوی بین درین و سورس تقسیم می‌گردند. تخمین‌های شکل بالا نیز به نوعی حکایت از این موضوع دارد. در ناحیه خطی به دلیل آنکه کانال یکنواخت در زیر ناحیه گیت وجود دارد، مقدار هریک از خازن‌های C_{gs} و C_{gd} نصف کل خازن گیت در حالت قطع است. در زمان اشباع به دلیل آنکه کانال در ناحیه درین دچار حالت انفصال (Pinch Off) می‌شود، مقدار C_{gd} صفر و C_{gs} حدود $\frac{۲}{۳}$ کل خازن گیت در ناحیه قطع تخمین زده می‌شود.



روند تغییرات V_{GS} نسبت به خازن گیت

با توجه به مقادیر به دست آمده در شکل فوق می‌توان نتیجه گرفت با افزایش V_{GS} و تغییر ناحیه فعالیت ترانزیستور از قطع به اشباع و سپس خطی، نمودار تغییرات C_g به شکل روبرو است. این نمودار رابطه میان V_{GS} و کسر $\frac{C_g}{C_\circ}$ را نشان می‌دهد. منظور از $C_\circ$ خازن واحد سطح در گیت است که از رابطه $C_\circ = \frac{\varepsilon_\circ\varepsilon_{ins}A}{D}$ به دست می‌آید.

مثال۱: خازن گیت یک ترانزیستور MOSFET با مشخصات زیر در ناحیه اشباع چقدر است؟

$$\begin{cases}\varepsilon_\circ = ۸/۸۵\times۱۰^{-۱۴}\ (\frac{F}{cm})\\ \varepsilon_{ins} = ۴\ ,\ \lambda = ۱۰۰(\mu m)\\ W = ۵\lambda\ ,\ L = ۲\lambda\ ,\ D = ۴\lambda\end{cases}$$

۱) $۵/۸۴(pF)$

۲) $۵/۸۴(fF)$

۳) $۸/۸۴(pF)$

۴) $۸/۸۴(fF)$

☑ **پاسخ:** گزینه «۲» خازن گیت MOSFET با توجه به معلومات فوق به صورت زیر محاسبه می‌شود:

$$C_g = C_{gs} + C_{gb} + C_{gd} = ۰/۶۶(\frac{\varepsilon_۰\varepsilon_{ins}A}{D}) = ۰/۶۶(\frac{\varepsilon_۰\varepsilon_{ins}WL}{D})$$

$$= ۰/۶۶\left[\frac{۸/۸۵\times۱۰^{-۱۴}\times۱۰^{۲}\,(\frac{F}{m})\times۴\times(۵\lambda\times۲\lambda)}{۴\lambda}\right] = ۵۸/۴۱\times۱۰^{-۱۲}\,(\frac{F}{m})\times\lambda = ۵۸/۴۱\times۱۰^{-۱۲}\times۱۰۰\times۱۰^{-۶}\,(F)$$

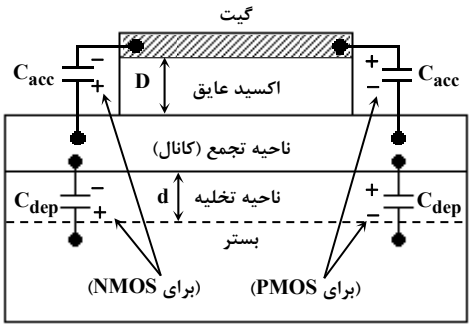
$$= ۵/۸۴۱\times۱۰^{-۱۵}\,(F) = \boxed{۵/۸۴۱(fF)}$$

همان‌طور که در ابتدای این بحث ذکر کردیم، خازن C_{gb} معادل **اتصال سری دو خازن جزئی‌تر به نام‌های C_{acc} و C_{dep}** می‌باشد. خازن C_{acc} مربوط به زمانی است که ولتاژ V_{GS} کمتر از V_t است و ترانزیستور در **ناحیه قطع** به سر می‌برد. در این حالت یک لایه با نام **انباشتگی (Accumulation)** زیر گیت تشکیل می‌گردد که به دلیل موازی بودن با گیت سبب پیدایش خازن در آن ناحیه می‌شود. **قطب مثبت** این خازن روی سطح سیلیکون و **قطب منفی** آن در محل اتصال گیت به ترانزیستور قرار می‌گیرد و **خازن C_{acc}** را با واسطه عایق اکسید ایجاد می‌کند. اندازه این خازن از رابطه $C_{acc} = \frac{\varepsilon_۰\varepsilon_{ins}A}{D}$ به دست می‌آید (D یا t_{ox} ضخامت اکسید گیت است).

خازن C_{dep} مربوط به وضعیت **تخلیه** است که با گذر V_{GS} از ولتاژ V_t و خروج ترانزیستور از ناحیه قطع، بین کانال و بستر ترانزیستور ایجاد می‌شود. با اعمال یک ولتاژ مثبت کوچک به پایه گیت، **حامل‌های اکثریت حفره با بار مثبت** در قسمت زیرین کانال جمع شده، با **بارهای منفی در حال عبور از کانال** یک خازن تشکیل می‌دهند. این ناحیه با نام **ناحیه تخلیه** معروف است.

شکل بعد خازن‌های C_{acc} و C_{dep} را درون دو ترانزیستور نوع n و نوع p نشان می‌دهد. توجه به این نکته ضروری است که قطبهای مثبت و منفی این دو خازن در ترانزیستورهای نوع n و p متفاوت است. جهات ذکر شده در توضیحات فوق تماماً مربوط به یک ترانزیستور NMOS می‌باشند. V_{GS} نیز در ترانزیستور نوع p برای ناحیه انباشتگی **بیشتر از $V_{DD}+V_{tp}$** و برای ناحیه تخلیه **کمتر از $V_{DD}+V_{tp}$** فرض می‌شود. ضمناً اندازه خازن تخلیه از رابطه $C_{dep} = \frac{\varepsilon_۰\varepsilon_{si}A}{d}$ محاسبه می‌شود (d ضخامت لایه تخلیه می‌باشد). با مشخص شدن C_{acc} و C_{dep} می‌توان C_{gb} را به دست آورد:

$$\boxed{C_{gb} = \frac{C_{acc}.C_{dep}}{C_{acc}+C_{dep}}}$$



خازن dep و acc در یک ترانزیستور MOSFET

مثال۲: در یک ترانزیستور نوع p قطر لایه اکسید ۱۰ نانومتر کمتر از ضخامت ناحیه تخلیه می‌باشد. اگر $\varepsilon_{ins}=\varepsilon_{si}$ فرض شود و اندازه خازن C_{gb} برابر با ۲۰nf باشد، مساحت ترانزیستور چقدر است؟

$$\left(\varepsilon_۰ = ۸/۸۵\times۱۰^{-۱۴}\,\frac{F}{cm}\right),\ \left(\varepsilon_{ins}=\varepsilon_{si}=۴\right),\ \left(C_{dep}=۳۵nF\right)$$

۱) $A = ۰/۰۸(cm)^۲$　　۲) $A = ۰/۰۱(cm)^۲$　　۳) $A = ۰/۴(cm)^۲$　　۴) $A = ۱/۲(cm)^۲$

☑ **پاسخ:** گزینه «۳» با توجه به اینکه C_{gb} حاصل اتصال سری دو خازن C_{acc} و C_{dep} می‌باشد داریم:

$$C_{gb} = \frac{C_{acc}.C_{dep}}{C_{acc}+C_{dep}} \Rightarrow ۲۰ = \frac{C_{acc}.۳۵}{C_{acc}+۳۵} \Rightarrow ۲۰C_{acc}+۷۰۰ = ۳۵C_{acc} \Rightarrow C_{acc} = \frac{۷۰۰}{۱۵} = ۴۶/۵nF$$

- حال با توجه به اینکه $t_{ox} = d - ۱۰\,nm$ است روابط خازن‌ها را می‌نویسیم و از دستگاه به دست آمده با حذف D ، A را می‌یابیم:

$$\begin{cases} C_{dep} = \dfrac{\varepsilon_{\circ}\varepsilon_{si}A}{d} \Rightarrow ۳۵\times۱۰^{-۹} = \dfrac{۴\times۸/۸۵\times۱۰^{-۱۴}\times A}{d} = \dfrac{۳/۵۴\times۱۰^{-۱۳}}{d} & \text{رابطه I} \\ C_{acc} = \dfrac{\varepsilon_{\circ}\varepsilon_{ins}A}{t_{ox}} \Rightarrow ۴۶/۵\times۱۰^{-۹} = \dfrac{۴\times۸/۸۵\times۱۰^{-۱۴}\times A}{t_{ox}} = \dfrac{۳/۵۴\times۱۰^{-۱۳}\,A}{d-(۱۰\times۱۰^{-۹}\times۱۰^{۲})} & \text{رابطه II} \end{cases}$$

ـ برای حذف d باید مقدار آن را از رابطه I به‌دست آوریم و در رابطه II قرار دهیم:

$$(\text{I رابطه}) \rightarrow d = \frac{۳/۵۴\times۱۰^{-۱۳}}{۳/۵\times۱۰^{-۸}}A = ۱۰^{-۵}\,A \xrightarrow[(\text{II رابطه})]{} ۴۶/۵\times۱۰^{-۹} = \frac{۳/۵۴\times۱۰^{-۱۳}\,A}{۱۰^{-۵}\,A - ۱۰^{-۶}}$$

$$\Rightarrow ۴۶/۵\times۱۰^{-۱۴}\,A - ۴۶/۵\times۱۰^{-۱۵} = ۳/۵۴\times۱۰^{-۱۳}\,A \Rightarrow ۱/۱۱\times۱۰^{-۱۳}\,A = ۴۶/۵\times۱۰^{-۱۵} \Rightarrow A = \frac{۴۶/۵}{۱/۱۱}\times۱۰^{-۲} = \boxed{۰/۴۲(cm)^{۲}}$$

تخمین ظرفیت خازن‌ها

به دلیل طراحی ترانزیستورهای MOSFET به شکل لایه‌ای و **مجاورت لایه‌ها** در قسمت‌های مختلف آنها، معمولاً یک سری **خازن‌های ناخواسته** بین‌لایه‌های مجاور ایجاد می‌شود که سایز این خازن‌ها به سه عامل **فاصله دو لایه از هم، جنس عایق به کار رفته در فاصله بین آنها و مساحت لایه‌ها در ناحیه مجاورت** بستگی دارد. بنابراین اگر سه عامل اخیر را به ترتیب D و ε و A بنامیم، می‌توانیم اندازه خازن بین دو لایه را به کمک رابطه زیر به‌دست آوریم:

$$C = \frac{\varepsilon A}{D} = \frac{\varepsilon_{\circ}\varepsilon_{r}(W.L)}{D} \rightarrow \begin{cases} A: \text{سطح مقطع هر لایه} \\ \varepsilon: \text{ثابت دی‌الکتریک عایق} \\ D: \text{فاصله بین دو لایه} \end{cases}$$

همان‌طور که در رابطه فوق می‌بینید **پارامتر A** (سطح مقطع لایه) برابر با **حاصلضرب دو پارامتر L و W** (طول و عرض لایه) می‌باشد. در مورد این دو پارامتر باید بدانیم **اندازه‌گیری L در راستای انتقال جریان و اندازه‌گیری W عمود بر راستای انتقال جریان** انجام می‌شود (البته دقت به این نکته بیشتر در محاسبه مقاومت لایه‌ها ضرورت پیدا می‌کند که در قسمت بعدی مورد بحث قرار می‌گیرد). ضمناً پارامتر ε نیز به عنوان **ثابت دی‌الکتریک عایق،** از ضرب دو پارامتر $\varepsilon_{\circ}$ **(ثابت دی‌الکتریک خلأ)** و ε_r **(ثابت دی‌الکتریک نسبی اجسام عایق)** به دست می‌آید. شکل زیر برخی از ثوابت نسبی دی‌الکتریک را برای عایق‌های مختلف نشان می‌دهد. نکته مهم در مورد ε_r این است که این پارامتر هیچ واحد فیزیکی خاصی ندارد و به عنوان ضریب در کنار $\varepsilon_{\circ}$ قرار می‌گیرد تا ضریب گذردهی واقعی یک عایق را برحسب $\left(\frac{F}{cm}\right)$ نشان دهد. بنابراین در رابطه فوق بهتر است مساحت لایه (A) را برحسب $(cm^{۲})$ و فاصله دو لایه (D) را نیز برحسب (cm) بیان نموده و در فرمول استفاده کنیم.

عایق	ε_r
Aerogel	۱/۵
پلی‌آمیدها	۳/۵
$SiO_۲$	۴
SiOF	۳/۱
SiLK	۲/۵
$Si_۳N_۴$	۷/۵
Al	۹/۵
Si	۱۱/۷

ضریب نسبی ثابت دی‌الکتریک در برخی عایق‌ها

نکته۱: برای **محاسبه خازن** بین لایه‌های مستطیل شکل تشکیل‌دهنده یک ترانزیستور (پولی و دیفیوژن) با **طول L، عرض W** و مشخصات ظرفیتی C_{area} **(خازن سطحی لایه‌ها برحسب** $\frac{F}{cm^{۲}}$**)** و C_{side} **(خازن کناری لایه‌ها بر حسب** $\frac{F}{cm}$**)** می‌بایست محیط و مساحت لایه‌ها را همزمان دخیل نماییم:

$$C = C_{area}\times(W.L) + ۲C_{side}\times(W+L)$$